

2019 ~ 2020 学年

数
字
逻
辑
电
路
实
验
B

东南大学电工电子实验中心
2019年10月

目 录

教学计划和要求	1
基本情况:	1
教学要求:	1
实验教学计划	2
评分和考核方法	3
本学期开放时间安排	3
课程准备事项	4
实验预习	4
准备导线	4
准备面包板	4
准备工具	5
下载并安装相关软件	5
预习报告样例	6
实验内容	6
实验设计方案	6
测试方案	7
电路搭接调试方法样例	9
分析电路	9
合并器件	9
查询数据手册	9
根据数据手册选择器件, 分配管脚	10
元件布局	11
布线	11
通电前检查	13
通电验证	13
故障调试	13
故障举例:	14
实验一 门电路和组合逻辑	15
学习目标	15
时间要求:	15
预备知识	15
必做实验	15
选做实验	15
实验二 组合函数设计	15
学习目标	15
时间要求:	15
预备知识	16
必做实验	16
选做实验	16

实验三 时序逻辑电路	16
学习目标	16
时间要求:	16
预备知识	16
必做实验	16
选做实验	16
实验四 可编程数字系统设计基础	17
学习目标	17
时间要求:	17
预备知识	17
必做实验	17
实验五 可编程小型数字系统设计	17
学习目标	17
时间要求:	17
预备知识	17
必做实验	17
附录一 Fritzing 简明操作指南	19
附录二 Quartus II 简明操作指南	22
一、 设计项目输入	22
1.1 建立工程项目	22
1.2 建立原理图输入文件	23
二、 设计项目处理	26
三、 设计项目校验	27
3.1 建立输入激励波形文件 (.vmf):	27
3.2 为输入信号建立输入激励波形:	27
3.3 功能仿真	28
3.4 时序仿真	28
四、 器件编程	28
4.1 Quartus II 器件编程	28

教学计划和要求

基本情况:

- 1、总学时: 32 学时
- 2、学时比例: 1 (课内): 1 (课外)
- 3、学 分: 1 学分
- 4、适用范围: 2018 级 9、10、26 系学生
- 5、先修课程: 高等数学、物理、数字逻辑电路
- 6、时 间: 2019.10~2020.1
- 7、实验教材: 《数字逻辑设计实践》徐莹隽、常春等编著, 高等教育出版社

教学要求:

预习要求:

1. 进实验室前要求完成本次实验预习报告, 内容包括
 - a) 实验电路功能描述、系统框图和详细设计过程
 - b) 实验电路原理图
 - c) 实验电路硬件连接图
 - d) 如果实验有预习思考题, 提交预习思考题答案
2. 预习报告写在实验报告的实验原理部分, 如没有把握, 也可先写在其他纸上, 实验完成后誊写到实验报告上
3. 实验电路要求在进实验室前完成搭接, 实验室内以电路调试为主
4. 电工电子实验中心的网站地址为: <http://223.3.70.102/LimsCMS>, 预习时请访问该平台以了解您准备完成的实验内容是否有变动、提示或其他通知。

实验要求:

- 1、实验采用集中授课+开放实验模式, 课内教师传授学生实验方法和技能, 引导学生完成必做实验项目, 课外学生完成选做和自主性实验项目, 教师进行适当辅助。第一次实验时请仔细阅读开放实验规章制度, 并在以后的实验中认真遵守
- 2、每次实验要带校园卡、元器件、单股连接线、丁字线和所发的面包板。丁字线和面包板请妥善保管, 勿丢失或损坏, 否则将照价赔偿
- 3、在进入实验室时, 请在刷卡机上出示您的校园卡, 在刷卡机分配的实验室和实验座位上完成实验, 严禁串座
- 4、实验前先检查自己座位上的仪器、如有缺失或损坏请及时通知指导老师处理。实验过程中如果发生仪器故障, 也请和值班教师联系, 值班教师检查确认后用备用仪器更换, 严禁自己用其他实验座位上的仪器更换
- 5、按实验设计方案搭接和测试电路, 认真检查确保无误后方可通电测试
- 6、认真记录实验数据和实验波形, 所有数据和波形都要分析判断, 确认正确
- 7、要求实物验收的实验内容, 完成并记录所有实验数据后, 提请指导老师验收, 验收通过后方可拆除电路结束实验
- 8、实验过程中遇到故障要独立思考, 耐心查找故障原因并排除, 记录故障现象、排除故障过程和方法

- 9、实验中若发生异常现象，应立即切断电源，通知指导老师处理。如有元器件损坏，可到仪表室购买
 10、实验中途请勿随意离开实验室，如确实有特殊情况请向指导教师请假
 11、实验完成后请将仪器归位并关闭仪器电源、整理线缆、打扫干净实验桌面，然后刷卡下机

实验报告要求：

1. 实验报告应该包括以下几个部分
 - ✧ 实验目的和要求
 - ✧ 实验原理，包括实验电路的设计过程、系统框图、原理图、硬件连接图、测试方案等，要求在实验前完成
 - ✧ 实验仪器，实验中用到的仪器设备
 - ✧ 实验记录，记录实验具体步骤、原始数据、实验过程、实验中遇到的故障现象、排除故障的过程和方法等
 - ✧ 实验分析，对实验结果进行分析比对
 - ✧ 实验小结，总结实验完成情况，对设计方案和实验结果做必要的讨论，简述实验收获和体会
 - ✧ 实验思考题，如有，提交思考题答案
 - ✧ 参考资料，记录实验过程阅读的有关资料，包含资料名称、作者等
2. 数字电路实验结果验证一般包括真值表验证、波形验证、功能验证
 - ✧ 真值表验证结果，要求用表格记录
 - ✧ 波形验证结果，要求记录在坐标纸上，记录的时候注意多路波形之间的时序关系
 - ✧ 功能验证结果，要求用表格记录
3. 实验报告必须在指定时间完成并提交

实验教学计划

周次	内容	实验模式	学时	教材
06	门电路和组合逻辑	集中授课	3	第 2 章
07			3	
08	组合函数设计	集中授课	3	第 3 章
09			3	
10	时序逻辑电路	集中授课	3	第 4 章
11			3	
12	可编程数字系统设计基础	集中授课	3	第 7 章
13	FPGA 系统设计	集中授课	3	第 5、7 章
14		集中授课	3	
15		集中授课	2	
16	期末考试	集中上课	3	

评分和考核方法

本课程最终成绩由平时实验成绩、可编程逻辑设计实验成绩和期末考试成绩四部分组成。其中期末考试采取给定电路参数，设计并搭试电路的模式。具体成绩组成如下：

实验名称	各实验环节占单个实验成绩比例			占总成绩比例
	预习预搭	实验验收	实验报告	
门电路和组合逻辑	20%	60%	20%	10%
组合函数设计	20%	60%	20%	10%
时序逻辑电路	20%	60%	20%	20%
可编程数字系统设计基础	20%	60%	20%	10%
FPGA 系统设计	20%	60%	20%	20%
期末考试				20%
其他（实验态度、考勤、违纪违规）				10%

注：期末卷面成绩低于 45 分，总成绩不及格

本学期开放时间安排

1. 开放实验时间

- ✧ 周一 14:00 ~ 21:00
- ✧ 周二 09:30 ~ 21:00
- ✧ 周三 09:30 ~ 21:00
- ✧ 周四 09:30 ~ 21:00
- ✧ 周五 09:30 ~ 16:30
- ✧ 周六 09:30 ~ 16:30

2. 法定假期和校历规定的假期，实验室不开放

- ### 3. 开放时间临时变更，将在实验中心主页上提前通知，来实验室前最好访问实验中心主页确认是否开放

课程准备事项

在首次课前，每位同学必须完成以下准备工作

实验预习

- 1、完成实验 1 所有必做实验的设计，并将设计方案、原理图、硬件连接示意图等写在预习报告上或者实验报告的原理部分
- 2、至少完成实验 1 中“数值判别电路”的电路搭接，如有能力，可将所有电路都预搭接好

准备导线

面包板搭试电路时，使用的是直径为 0.6mm 左右的单股导线。在课程开始前，请按下表准备好导线，所有导线两侧线头都要剥好，线头剥离长度约为 6mm 左右，线头剪成 45° 斜口。这样有利于线头全部插入底板以保证接触良好，同时裸线又不会露在外面与其它导线短路。表格内的线长不包含两边线头的长度，也可自行从市场上购买成品面包板用跳线，如下图所示。

第一次上课时，指导老师将检查导线准备情况，检查结果计入第一次实验的预习成绩。

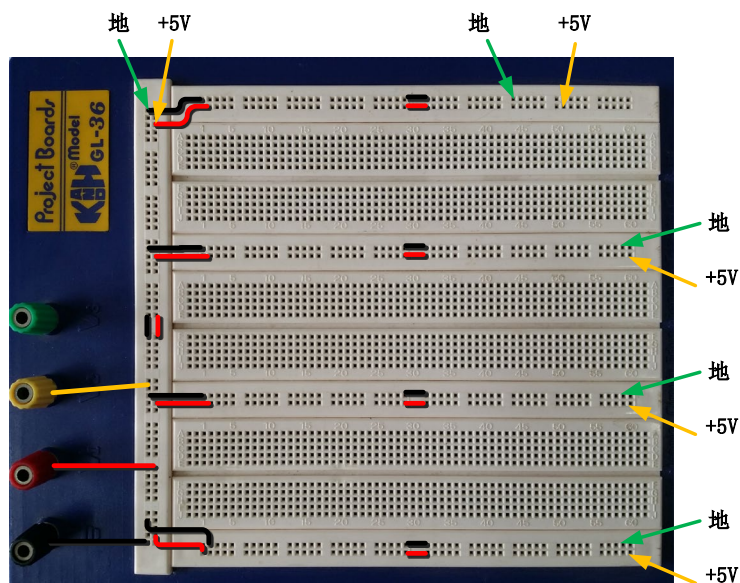
线长 (mm)	数量
2.5	6
5	6
7.5	6
10	4
20	4
50	4



准备面包板

我们实验主要通过面包板完成电路搭试，在首次实验课前，请按下图所示连接好跳线。请根据面包板的结构，自己分析一下，这样的跳线有什么好处。

第一次上课时，指导老师将检查面包板准备情况，检查结果计入第一次实验的预习成绩



准备工具

为了提高实验效率，我们建议自备以下实验工具：

剥线钳：用于剥除电线头部的表面绝缘层，常用的剥线钳有两种，如图所示，两种功能基本相同，下面的那种更省力些。剥线钳使用时要掌握以下要点：

1. 根据导线直径，选好剥线钳刀片的孔径。
2. 根据缆线的粗细型号，选择相应的剥线刀口
3. 将准备好的电缆放在剥线工具的刀刃中间，选择好要剥线的长度
4. 握住剥线工具手柄，将电缆夹住，缓缓用力使电缆外表皮慢慢剥落
5. 松开工具手柄，取出电缆线，这时电缆金属整齐露出外面，其余绝缘塑料完好无损



镊子：我们平时搭电路时，如果用手直接拿住导线往插孔里插，很容易造成导线弯曲，而用镊子夹住导线或元器件的引脚送入到指定的面包板插孔，导线则不易弯曲。镊子也常用于折弯、捋直导线或元件管脚，起拔集成电路等。镊子的种类很多，我们实验中一般选择左图所示的尖头镊子。

剪刀或斜口钳：用来剪断导线、元件脚，其中斜口钳切断能力要比剪刀强很多，剪切不费力。斜口钳剪线时，应将线头朝向下，以防止断线时伤及眼睛或其他同学，不要用来剪断铁丝或其他金属的物体，也不要用来剪线径过粗的导线，以免损伤刃口。斜口钳在很多场合也可以用指甲钳代替。



DIP 封装集成电路起拔器：用于将双列直插封装的集成电路从面包板上取下，同时不损伤器件。使用时，将起拔器的两个爪，插入到集成电路的两侧，然后握紧夹子，轻轻上提将集成电路拔出。无该工具时，可用镊子代替将镊子插入面包板的中间槽中，在集成电路的两头来回轻轻地往上撬，切不可仅在一头用力撬，那样容易将集成电路的引脚折弯。

下载并安装相关软件

数字逻辑设计实践课程要用到的软件包括电路仿真软件 Multisim 2012，Intel 公司 FPGA 开发平台 Quartus II。为了方便大家使用，实验中心提供了 Virtual Box 虚拟机镜像文件，该镜像文件中已经安装好所有需要的软件，只要安装 Virtual Box 虚拟机软件并加载该镜像文件即可使用。请自行到实验中心网站(仅支持校内)、百度网盘下载，或上课时到指导老师处拷贝。

- 1、 Multisim 2012 (文件大小 552M) [中心网站下载](#) [百度网盘下载](#) (密码: fhcf)
- 2、 Quartus 9.0 Web Edition [Intel 网站下载](#)
- 3、 VirtualBox 虚拟机安装包 [原始网站下载](#)
- 4、 VirtualBox 镜像文件(文件大小 4.1G, 分 5 个包)
中心网站下载 [part1](#) [part2](#) [part3](#) [part4](#) [part5](#) [百度网盘下载](#) (密码: j9xi)

预习报告样例

实验内容

人类有四种主要血型：A, B, AB 和 O 型。为了避免输血反应，输血者和受血者之间要遵循下列原则：

- ✧ 同一血型之间可以相互输血。
- ✧ AB 型受血者可以接受任何血型的输血。
- ✧ O 型输血者可以给任何血型的受血者输血。

实验设计方案

输入、输出信号编码

输入信号：用二位二进制数 G_1 、 G_0 代表输血者的 4 种血型， R_1 、 R_0 代表受血者的 4 种血型，编码代表的具体意义如下表所示

输出信号：S 代表是否满足输血/受血条件，“1”满足，“0”不满足

输血者			受血者		
G_1	G_0	血型	R_1	R_0	血型
0	0	O 型	0	0	O 型
0	1	A 型	0	1	A 型
1	0	B 型	1	0	B 型
1	1	AB 型	1	1	AB 型

表 1 输入输出信号编码

列出真值表

根据题目要求，列出真值表

G_1	G_0	R_1	R_0	S	G_1	G_0	R_1	R_0	S
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	1	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1

表 2 实验真值表

G_1G_0	00	01	11	10
R_1R_0 00	1	0	0	0
01	1	1	0	0
11	1	1	1	1
10	1	0	0	1

图 2 卡诺图

逻辑化简

根据真值表画出卡诺图，如图 2 所示，化简得到与或非表达式如式 1，考虑到只有与非门器件，转化，得到与非表达式 2。

$$S = \overline{G_1 G_0} + \overline{G_1 R_0} + \overline{G_0 R_1} + R_1 R_0 \quad (1)$$

$$S = \overline{\overline{G_1 G_0} \cdot \overline{G_1 R_0} \cdot \overline{G_0 R_1} \cdot \overline{R_1 R_0}} \quad (2)$$

逻辑电路图

根据逻辑函数表达式 (1)，绘制出电路原理图如图 3 所示（反变量所需的非门未画出），其中输入信号的原变量从实验箱上的逻辑电平开关获得，反变量需要另外接非门来实现。

硬件连接示意图

根据电路原理图，查询教材附录“常用集成电路型号和引脚图”，可知，硬件电路需要 4 个两输入与非门，

可以选择 1 片 74HC00 实现；需要 1 个四输入与非门，可以选择 1 片 74HC20 实现。硬件连接示意图如图 4 所示，并将管脚分配反标注到电路原理图中。也可利用 Fritzing 软件绘制硬件连接示意图，Fritzing 软件的具体使用方法参看附录一。

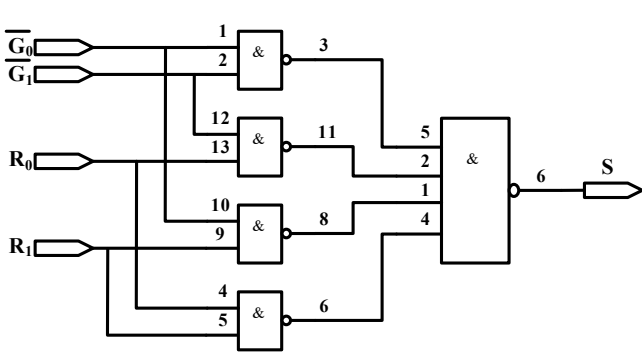


图 3 电路原理图

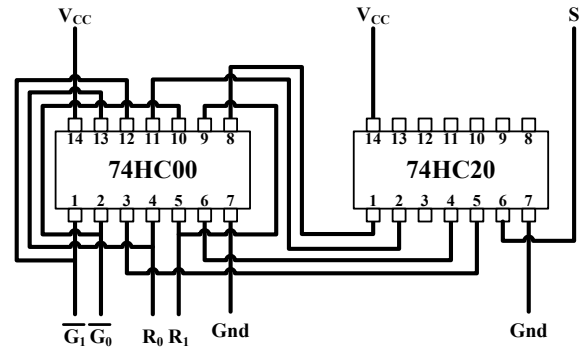


图 4 硬件连接图

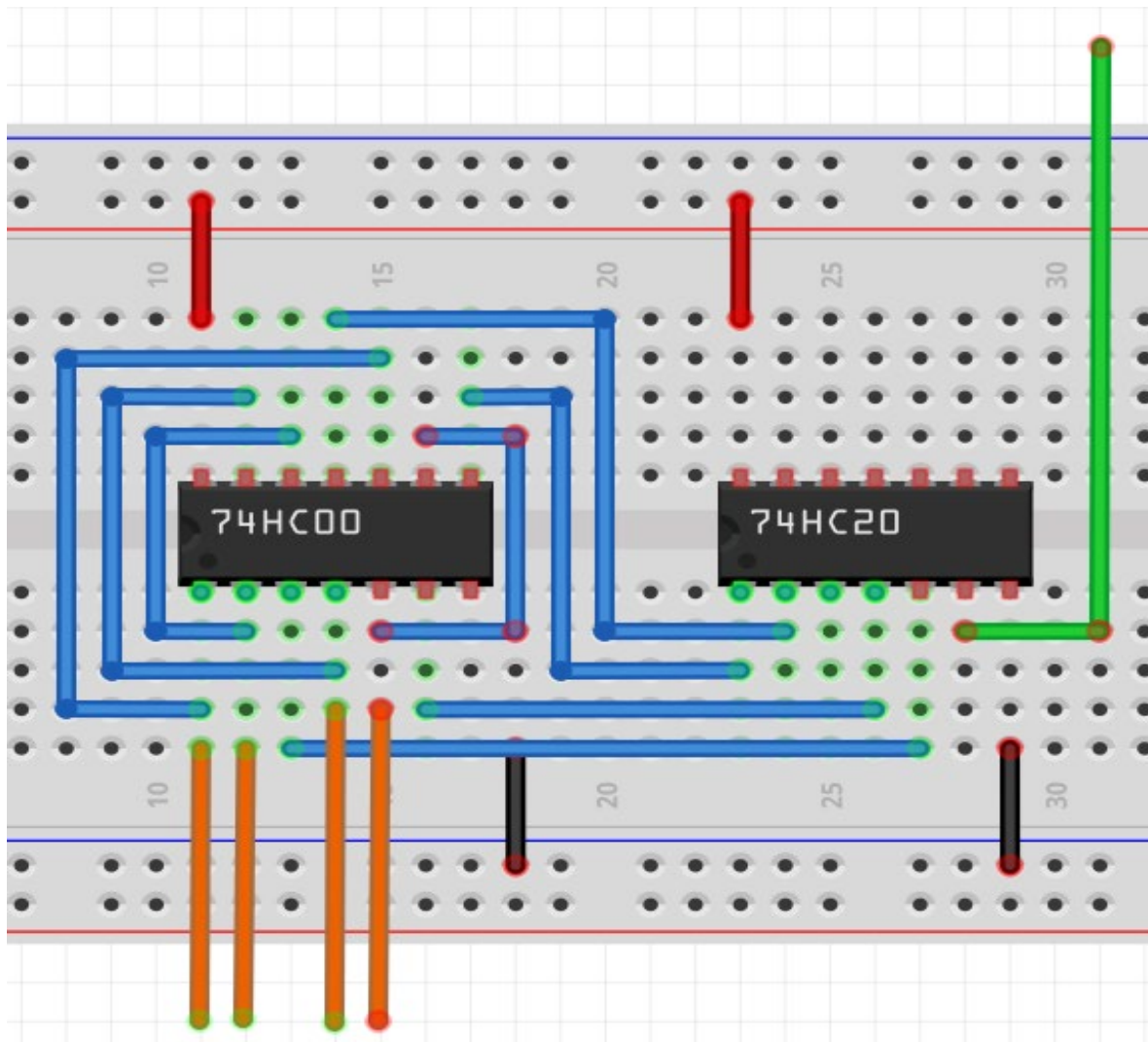


图 5 用 Fritzing 软件绘制的硬件连接图

测试方案

4 个输入信号，用实验箱上的逻辑电平开关实现，1 个输出端连接到实验箱上的 LED，按照真值表的要求

求，拨动逻辑电平开关改变输入信号值，遍历 16 种输入组合，并观察输出信号值，输出 LED 亮则输出为 1，灭则输出为 0，将测试结果填入表 3。

G1	G0	R1	R0	S	测试结果	G1	G0	R1	R0	S	测试结果
0	0	0	0	1		1	0	0	0	0	
0	0	0	1	1		1	0	0	1	0	
0	0	1	0	1		1	0	1	0	1	
0	0	1	1	1		1	0	1	1	1	
0	1	0	0	0		1	1	0	0	0	
0	1	0	1	1		1	1	0	1	0	
0	1	1	0	0		1	1	1	0	0	
0	1	1	1	1		1	1	1	1	1	

表 3 实验结果测试记录表

电路搭接调试方法样例

我们以教材 1.8 节电路为例，来介绍如何正确搭接和调试电路，实验电路如图 1 所示：

分析电路

分析可知，图中包含了 3 个 2 输入与非门、1 个非门、1 个 3 输入与非门，查询教材附录“常用集成电路型号和引脚图”，可知需要用到以下器件

- ◇ 7400 2 输入与非门
- ◇ 7404 非门
- ◇ 7420 4 输入与非门

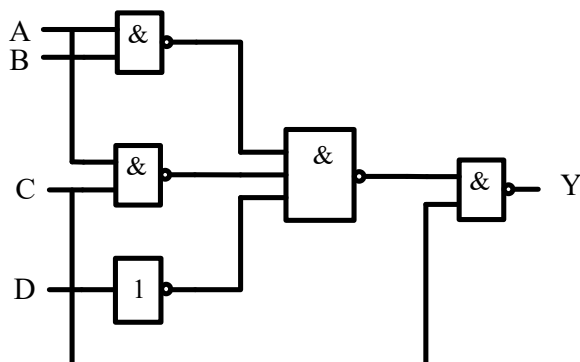
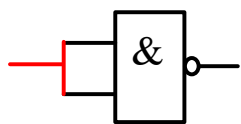


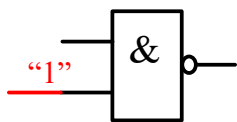
图 1 实验电路原理图

合并器件

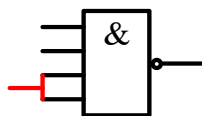
为了减少所用器件种类，可以根据门电路特点，合并一些门，其中非门可以用 2 输入与非门代替，有以下两种方法，如图 2 所示。因为没有 3 输入与非门，可以用 4 输入与非门代替 3 输入与非门，常用的也有两种方法，如图 3 所示，经过合并后的电路如图 4 所示



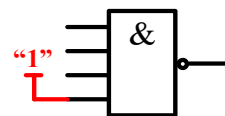
(a) 两输入脚短接



(b) 一个脚强制接高电平



(a) 两输入脚短接



(b) 空闲脚强制接高电平

图 2 非门的常用替换方法

图 3 3 输入与非门常用替换方法

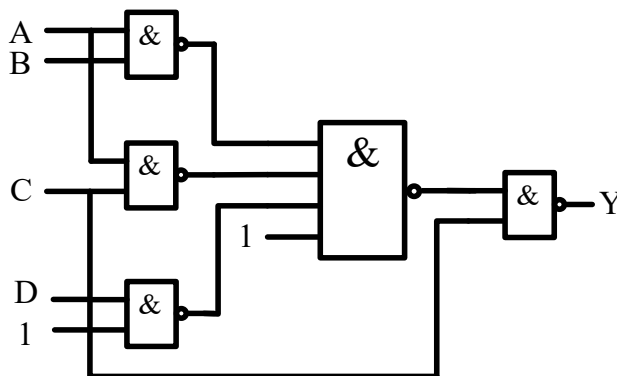


图 4 合并后的电路原理图

查询数据手册

集成电路的数据手册给出了芯片的所有参数指标以及使用方法，熟练阅读数据手册是一个电子设计人员的必备技能。数据手册的获取途径包括：

- ◇ 芯片制造商的官方网站
- ◇ 专门的 Datasheet 下载网，例如 <http://www.alldatasheet.com/> 和 <http://www.icpdf.com/>
- ◇ 直接用网络搜索引擎，如 Google、Baidu 等
- ◇ 为了提高搜索准确度，最好在搜索的关键词后面加上 pdf，如搜索“74HC00”的数据手册，可用关键词“74HC00 pdf”

通过查询数据手册，可知 74HC00 和 74HC20 的元件符号和管脚封装如图 5 和图 6 所示。

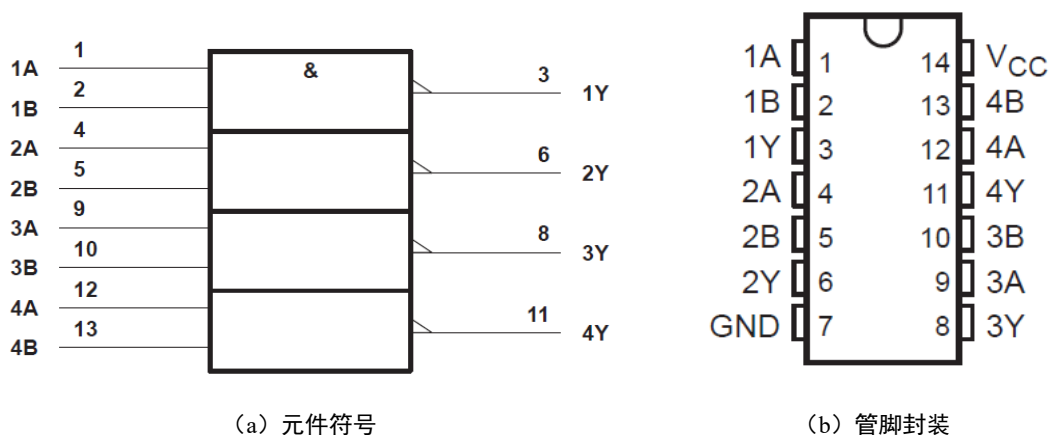


图 5 74HC00 4-2 输入与非门

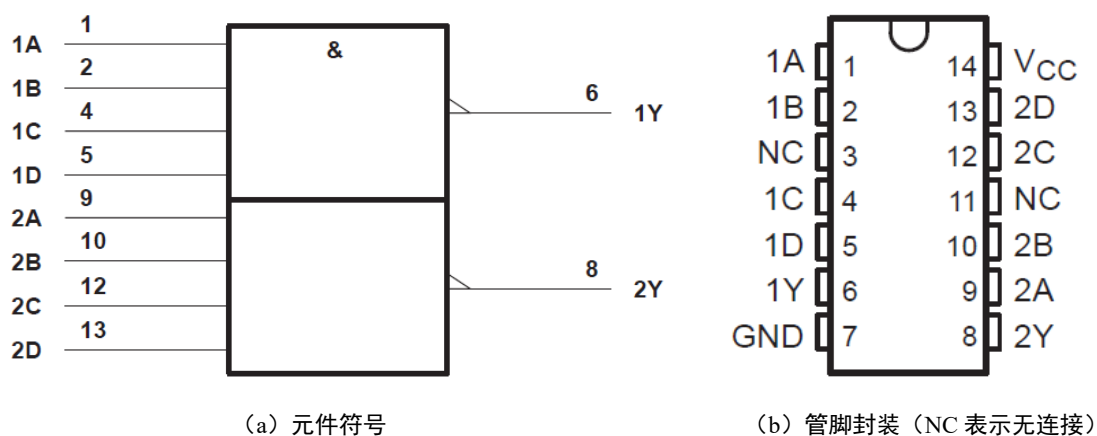


图 5 74HC20 2-4 输入与非门

根据数据手册选择器件，分配管脚

根据数据手册的器件功能和管脚排列，合理分配逻辑门和管脚，然后在原理图上加上文字说明及数字标号，作为实验接线的依据。如图 6 所示。U1 代表 7400，U2 代表 7420。在每个门的输入、输出端标注所用的器件的引脚号。

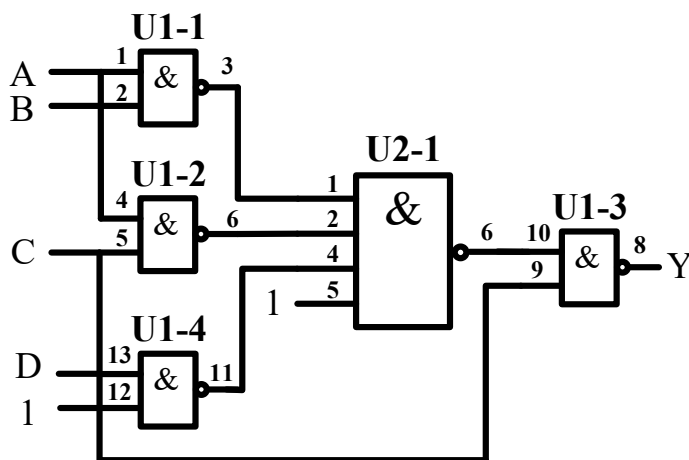


图 6 已标注管脚的电路原理图

元件布局

元器件布局要合理，信号流清晰，连线便捷，集成电路跨插在宽条面包板的凹槽上，两排引脚分别插在凹槽上下两侧的小孔中。插入集成电路之前先看清方向，一般使芯片缺口在左边，芯片第一脚在左下方。插入前微调管脚的角度，使管脚和集成电路本体之间呈近 90 度，所有管脚对准面包板对应孔位，然后均匀用力按下，确保芯片引脚能与面包板内的金属条可靠接触。如图 7 所示。

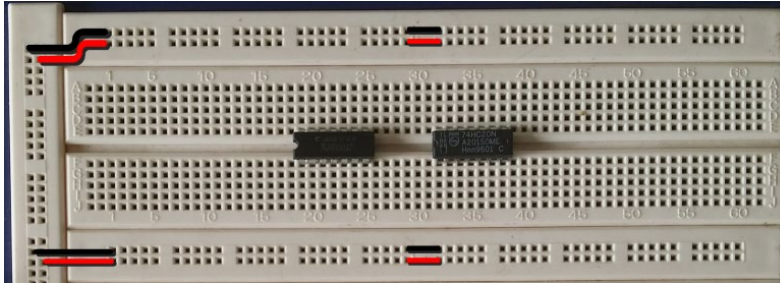


图 7 元件布局

布线

布线时使用直径为 0.6mm 左右的单股导线，使用前要用剥线钳剥离导线两侧线头，线头剥离长度约为 6mm 左右，线头剪成 45° 斜口。布线要求走线整齐，清楚，切忌混乱，电源、地和信号尽量使用不同颜色的导线，以示区别。导线应在集成电路芯片周围走线，切忌在集成块上方悬空跨过避免导线之间的互相交叉重叠，也不要过多地遮盖其他插孔，所有走线尽可能贴近面包板表面

在合理布线的前提下，导线尽可能短些布线顺序一般为先布电源线和地线，再布固定电平的规则线，最后按照信号流程逐级连接各逻辑控制线。

- 1、**布电源线**：7400 和 7420 的 14 脚是电源脚，用导线将 14 脚连接 5V 电源，如图 8 中红线所示

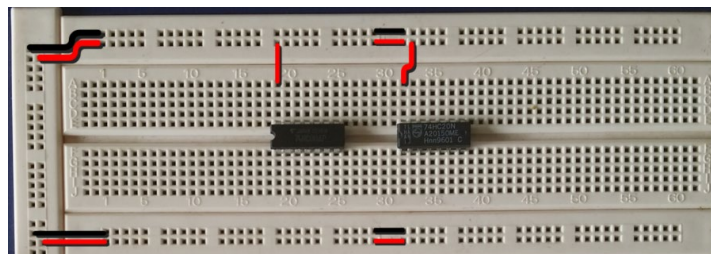


图 8 布电源线

- 2、**布地线**：7400 和 7420 的 7 脚是地线脚，用导线将 7 脚连接电源地线，如图 9 中黑线所示

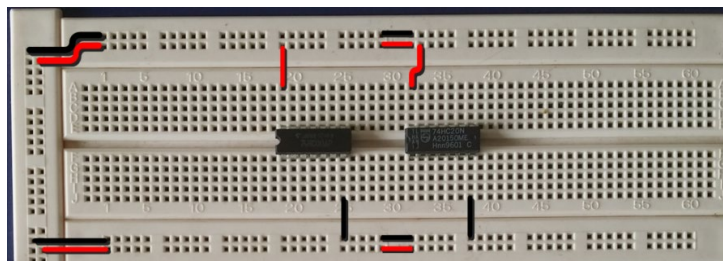


图 9 布地线

- 3、**布固定电平线**：在设计中有两个固定电平管脚，分别为 U1 的 12 脚和 U2 的 5 脚，要求置“1”，可将这些管脚直接和 5V 电源相连，如图 9 所示。如要求是置“0”，则可将这些管脚和电源地相连。

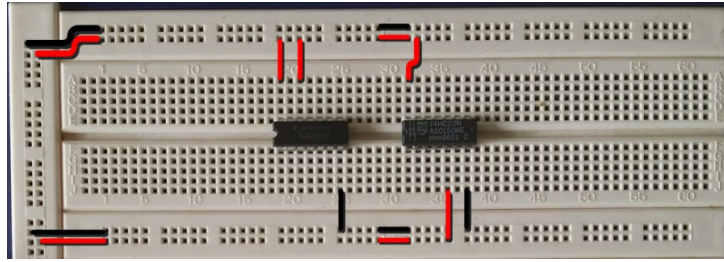


图 9 布地线

- 4、**布信号线**：按信号流向布线，先布最左侧的线，如图 10 所示所示；再布中间的线，如图 11 所示，最后布最右侧的线，如图 12 所示

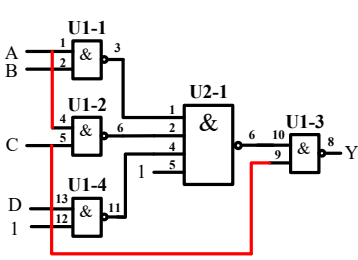


图 10 布最左侧信号线

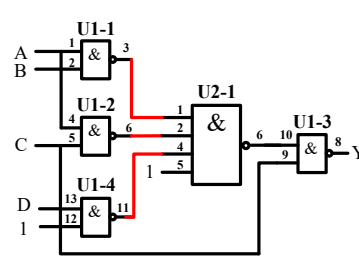
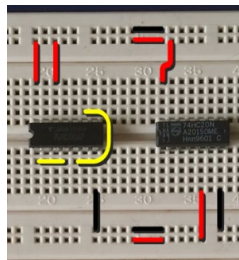


图 11 布中间信号线

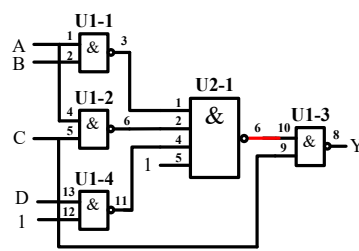
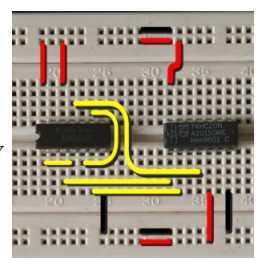
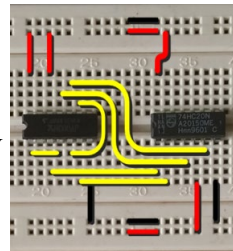


图 12 布最右侧信号线



- 5、**连接输入信号**，将输入信号 A、B、C、D 对应管脚，用一头直一头弯的丁字线，与实验箱上的逻辑电平开关连接，如图 13 所示

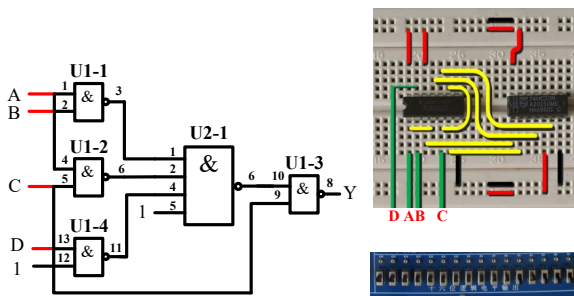


图 13 连接输入信号

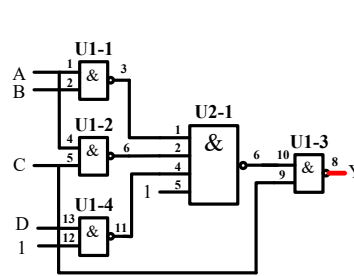
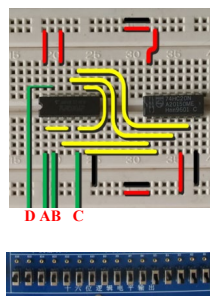
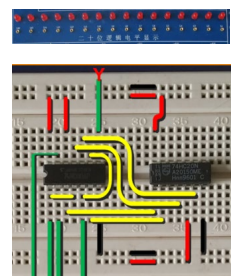


图 14 连接输出信号



- 6、**连接输出信号**，将输出 Y 对应管脚，同样用丁字线，与实验箱上发光二极管连接，如图 14 所示

通电前检查

在通电验证前，必须仔细检查，主要包括

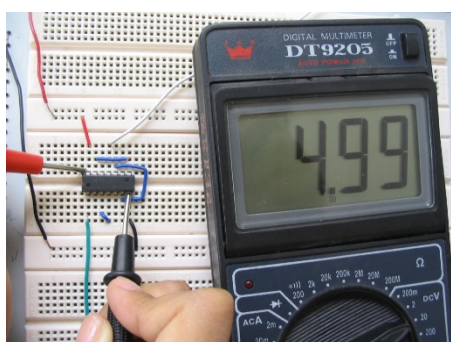
- ✧ 集成芯片是否选择正确，方向是否插对，引脚有无折弯、互碰情况
- ✧ 集成电路多余输入端处理是否正确，是否有两个以上输出端错误地连在一起
- ✧ 布线是否合理，是否有相碰短路现象
- ✧ 电源线与地线在内的连线是否有漏线与错线
- ✧ 用万用表“欧姆 $\times 10$ ”挡，测量实验电路的电源端与地线端之间的电阻值，排除电源与地线的短路现象
- ✧ 用万用表的“直流电压挡”测量直流稳压电源输出电压是否为所需值

通电验证

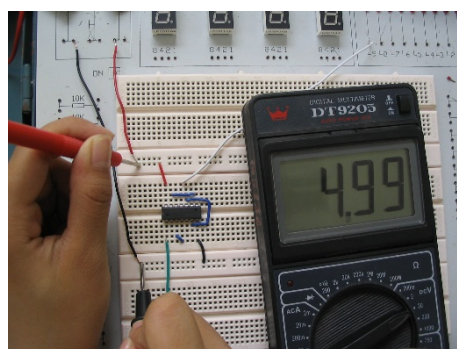
接通电源，根据真值表，按顺序，拨动逻辑电平开关，改变输入值从“0000”到“1111”，观察输出 LED 指示，LED 灭则输出“0”，LED 亮则输出“1”。记录测试结果。

故障调试

如果测试该电路时，某种输入下的输出与理论分析有悖，则要排除故障。排除故障的第一步是要确定**集成电路上所加的电源电压是否正确**，可以用万用表的直流电压档测量。可靠的检查方法是如图 15(a)那样，用万用表的测试表笔直接测量集成芯片电源端和地线两引脚之间的电压。这种方法可以检查出断线、引线虚接、因芯片管脚折断或折弯而未能插入实验底板的情况。图 15(b)中的测量方法，虽然能判断出电源是否已经接到面包板的窄条上，但如果从窄条接到集成电路管脚的连线有问题或者集成电路没有插好，集成电路还是不能正常工作。



(a) 正确的电源测量方法



(b) 错误的电源测量方法

图 15 用万用表测量电源电压

对于组合电路，可根据逻辑表达式或真值表由前向后逐级检查。但更快的检查方法，应该是由后向前逐级检查。测试方法是用万用表测量每个节点的电压。测量的时候一定要注意尽量**直接测量集成电路的管脚上的电压**，理由和前面测电源电压一样。

为了方便调试节点电压，我们在面包板上，用单股导线将黑色接线柱和绿色或黄色接线柱连接起来，如图 16 所示。这样在用万用测量节点电压的时候，可以空出一只手出来。

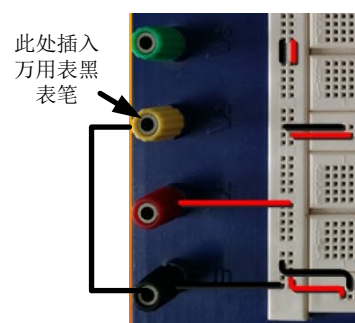


图 16 连接黑色和黄色接线柱

故障举例：

故障现象

输入逻辑开关“ABCD”置在“0011”状态，根据真值表，输出应为“0”，即逻辑电平指示灯应该灭，实际输出逻辑电平指示灯是亮，即输出为“1”，电路存在故障。

排除故障

用万用表从后向前测各点的电平并与理论值比较

1、测量最后一级 2 输入与非门（U1-3）

理论分析：

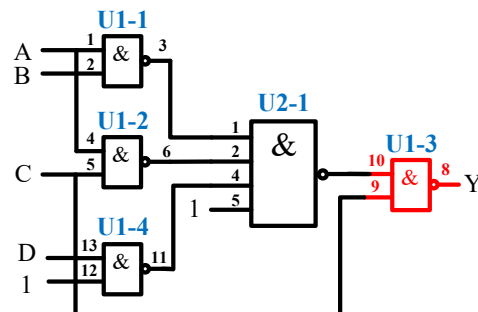
- ✧ 输出 U1-3 8 脚应为“0”
- ✧ 输入 U1-3 的 9、10 脚应为“1”

万用表实测

- ✧ U1-9 脚对地电压，约为 5V，等效逻辑“1”，信号正确
- ✧ U1-10 脚对地电压，约为 0V，等效逻辑“0”，信号错误

结论

- ✧ 因为 U1-10 脚连接到 4 输入与非门输出（U2-1 6 脚），排查 U2-1



2、排查 4 输入与非门 U2-1

理论分析

- ✧ 如 U2-6 脚为“1”，则 U2-6 脚和 U1-10 之间的连线有问题
- ✧ 如 U2 6 脚为“0”，则需检查 U2-1 的 4 个输入信号
- ✧ 根据原理图，U2-1、2、5 脚应都为“1”，4 脚应为“0”

万用表实测

- ✧ U2-1、2、5 脚对地电压，约为 5V，等效逻辑“1”，信号正常
- ✧ U2-4 脚对地电压，约为 0~1V，等效逻辑“X”，信号错误

结论

- ✧ 因为 U2-4 脚信号连接到 2 输入与非门输出(U1-4 11 脚)，需排查 U1-4

3、排查 2 输入与非门 U1-4

理论分析

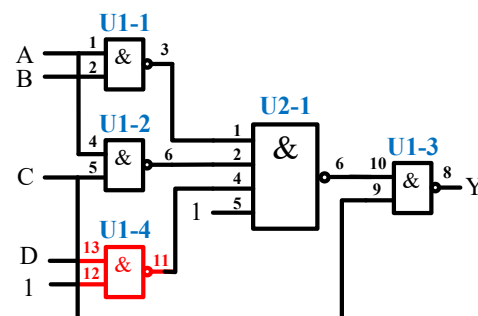
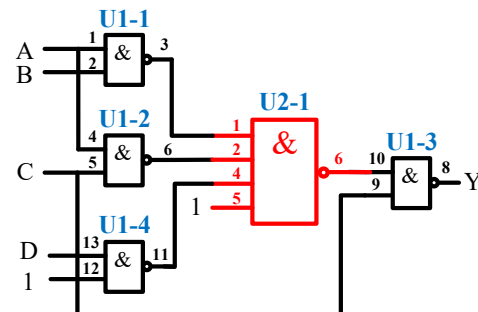
- ✧ 如 U1-11 脚为“0”，则 U1-11 脚和 U2-4 脚之间的连线有问题
- ✧ 如 U1-11 脚为“1”，则需检查 U1-4 的 2 个输入信号

万用表实测

- ✧ U1-11 脚对地电压，约为 0V，等效逻辑“0”，信号正常

结论

- ✧ U1-11 脚和 U2-4 脚之间的连线有问题



实验一 门电路和组合逻辑

学习目标

- ①. 认识数字集成电路，能识别各种类型的数字器件和封装；
- ②. 学习查找器件资料，通过器件手册了解器件；
- ③. 掌握实验箱的结构、功能，掌握在面包板上连接电路的基本方法和要求；
- ④. 掌握基本的数字电路的故障检查和排除方法。
- ⑤. 掌握 TTL 和 CMOS 器件的静态特性和动态特性测量方法及对数字系统设计的影响；
- ⑥. 掌握通过数字器件手册查看器件静态和动态特性参数；
- ⑦. 掌握不同结构的数字器件之间的互连；
- ⑧. 掌握小规模组合逻辑的工程设计方法；
- ⑨. 了解竞争和冒险的产生原因，消除方法，掌握用示波器和逻辑分析捕捉毛刺的方法。

时间要求：

实验时间：第 6、7 周

报告提交：第 8 周课内

预备知识

实验教材：第 2 章

必做实验

- ①. 2.10 节内容 1 数值判别电路（第 6 周检查预搭，课内验收）
- ②. 2.10 节内容 4 停车场交通控制系统（第 7 周检查预搭，课内验收）

选做实验

- ①. 2.7 节实验:门电路动态特性测试
- ②. 2.10 节内容 5 竞争-冒险现象观察

实验二 组合函数设计

学习目标

- ①. 掌握常用中规模组合逻辑器件的功能和使用方法；
- ②. 掌握逻辑函数工程设计方法；
- ③. 了解存储器实现复杂逻辑函数的原理和存储器的使用过程。

时间要求：

实验时间：第 8、9 周

报告提交：第 10 周课内

预备知识

实验教材：第 3 章

必做实验

- ①. 设计一个 3 位二进制原码转补码电路，用三种方案实现（第 8 周检查预搭，课内验收）
 - a) 全部用门电路实现
 - b) 用数据选择器 74151+门电路实现
 - c) 用三八译码器 74138+门电路实现
 提示：异或逻辑可以直接选用 7486
- ②. 3.3 节实验内容 4 血型配对（必须用数据选择器实现，第 9 周检查预搭，课内验收）
- ③. 3.3 节实验内容 5 发电机控制器（必须用译码器实现，第 9 周检查预搭，课内验收）

选做实验

- ①. 用 MSI 器件设计 2 位全加器
- ②. 3.5 节 实验：用 ROM 设计组合逻辑函数电路

实验三 时序逻辑电路

学习目标

- ①. 掌握时序逻辑电路的一般设计过程；
- ②. 掌握时序逻辑电路的时延分析方法，了解时序电路对时钟信号相关参数的基本要求；
- ③. 掌握时序逻辑电路的基本调试方法；
- ④. 熟练使用示波器和逻辑分析仪观察波形图，并会使用逻辑分析仪做状态分析。

时间要求：

实验时间：第 10、11 周

报告提交：第 12 周课内

预备知识

实验教材：第 4 章

必做实验

- ①. 4.4 节实验内容 2. 广告流水灯（第 10 周检查预搭，课内验收）
- ②. 4.6 节实验内容 2. 序列发生器（仅需实现 MSI 计数器方案，第 10 周检查预搭，课内验收）
- ③. 4.6 节实验内容 1. 简易数字钟（第 11 周检查预搭，课内验收）

选做实验

- ①. 4.6 节实验内容 2. 序列发生器（移位寄存器实现方案）
- ②. 4.6 节实验内容 3. 分频器

实验四 可编程数字系统设计基础

学习目标

- ①. 了解可编程数字系统设计的流程
- ②. 掌握 Quartus II 软件的使用方法
- ③. 掌握原理图输入方式设计数字系统的方法和流程

时间要求:

实验时间: 第 12 周

报告提交: 第 13 周课内

预备知识

实验教材: 第 7 章

必做实验

- ①. 计数器设计
设计一个模值为 24 计数器, 完成原理图设计/输入/仿真/下载全部过程 (第 12 周课内验收)

实验五 可编程小型数字系统设计

学习目标

- ①. 综合前面所学的各项内容
- ②. 了解掌握数字系统设计的流程和方法
- ③. 掌握复杂电路连接和调试技能

时间要求:

实验时间: 第 13、14、15 周

报告提交: 第 16 周课内

预备知识

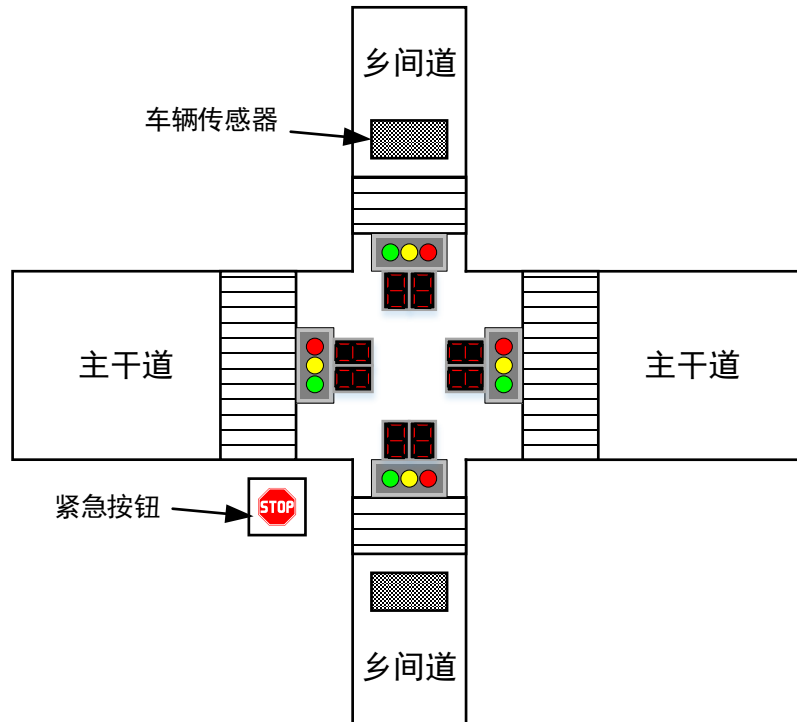
实验教材: 第 5、7 章

必做实验

- ①. 交通灯控制器 (第 13 周检查设计方案, 13、14、15 周课内验收)
设计一个十字路口交通信号灯控制电路, 该交通灯系统用于主干道与乡间公路的交叉路口, 两个方向都

有红绿灯指示通行，同时还有时钟以倒计时方式显示每一路允许通行或禁止通行的时间。要求是优先保证主干道的畅通，因此平时处于“主干道绿灯，乡间道红灯”状态，只有在乡间公路有车辆要穿行主干道时才将交通灯切向“主干道红灯，乡间道绿灯”，一旦乡间公路无车辆通过路口，交通灯又回到“主绿，乡红”的状态。此外，主干道每次通行的时间不得短于 60 秒，乡间公路每次通行时间不得长于 20 秒。而在两个状态交换过程中出现的“主黄，乡红”和“主红，乡黄”状态，持续时间都为 3 秒。其中乡间公路有车无车是通过传感器获得的。

控制系统有紧急按钮，当东西或南北两路中任一道上出现特殊情况，例如消防车、警车执行任务或其它车辆需要优先放行时，即可中断正常运行，进入特殊运行状态。此时两条道上的所有车辆皆停止通行，红灯全亮，时钟停止计时。当特殊运行状态结束后，管理系统恢复原来的状态，继续正常运行。



实验要求:

1. 采用自顶向下的设计方法进行设计，画出数据处理单元和控制单元框图、控制单元的状态转移图、ASM 图、各单元模块电路图
2. 先独立调试各单元模块，后整机联调，要记录和分析实验结果

附录一 Fritzing 简明操作指南

Fritzing 是一款完全免费的、绿色开源的电子设计自动化软件，下面简单介绍一下如何利用该软件绘制电路硬件连接示意图。在使用前需要先下载 Fritzing 软件，下载地址为：<https://fritzing.org/download/0.9.3b/windows-64bit/fritzing.0.9.3b.64.pc.zip>。下载完成后在下载目录里找到压缩包，解压后打开目录里的“Fritzing.exe”，即可运行 Fritzing。Fritzing 有 4 种视图，分别是面包板、原理图、PCB、code，单击切换到“面包板”视图，如图 1 所示，需要绘制硬件连接图的电路原理图如图 2 所示。

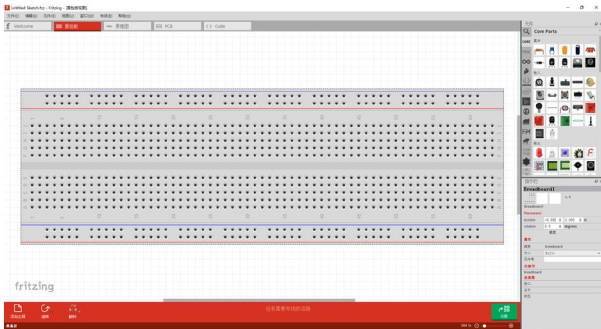


图 1 Fritzing 面包板视图

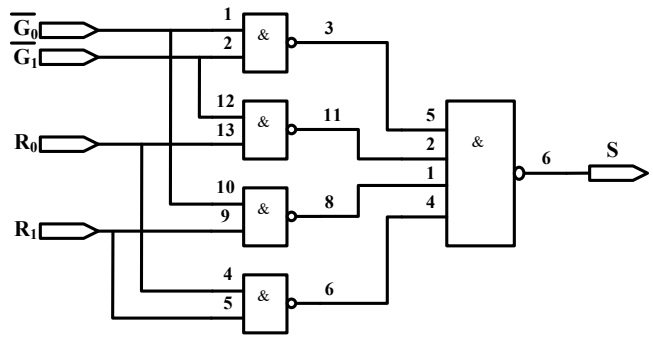


图 2 电路原理图

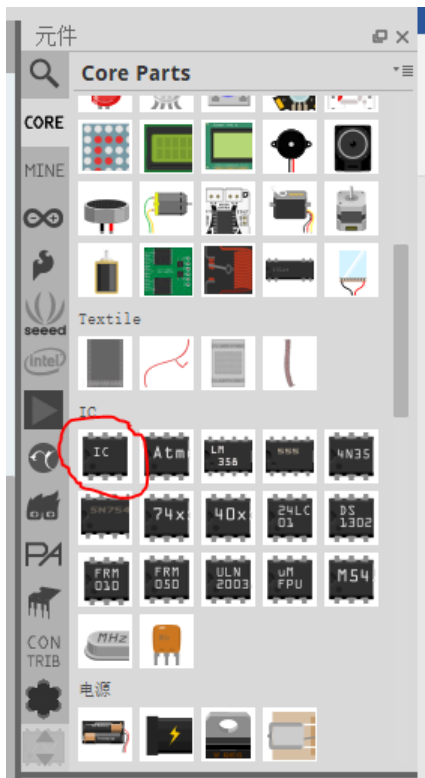


图 3 IC 器件

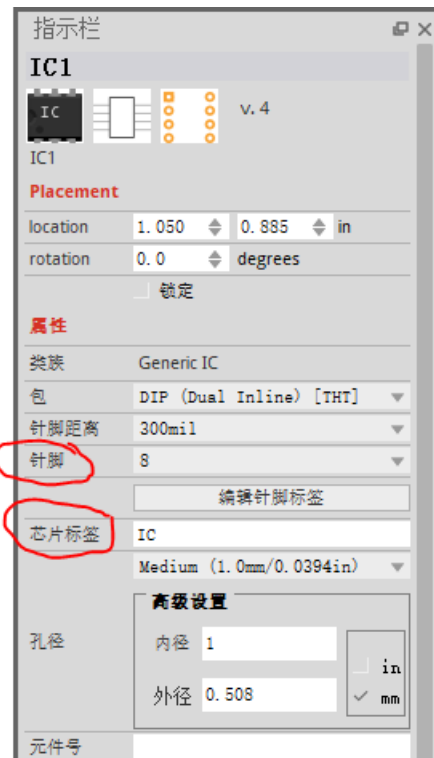


图 4 指示栏

- 1、在右侧“元件”栏中，选中“CORE”部件列表，下拉，找到“IC”器件。如图 3 所示，拖动“IC”器件到面包，并放在合适的位置，如图 4 所示。
- 2、修改引脚数为“14”，修改芯片标签为“74HC00”，电路如图 5 所示。
- 3、用鼠标点中按“Del”键删除图中不用的连线，如图 6 所示
- 4、重复 1 到 3，放置元件 74HC20，如图 7 所示

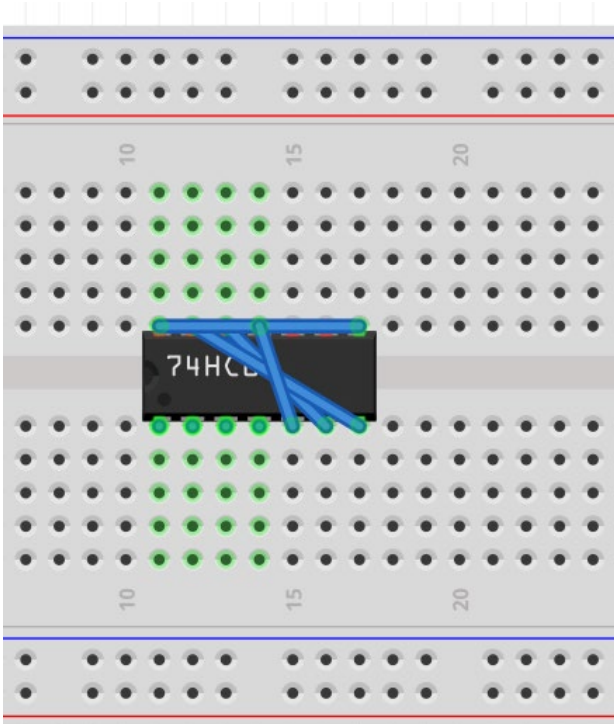


图 5 修改后的电路

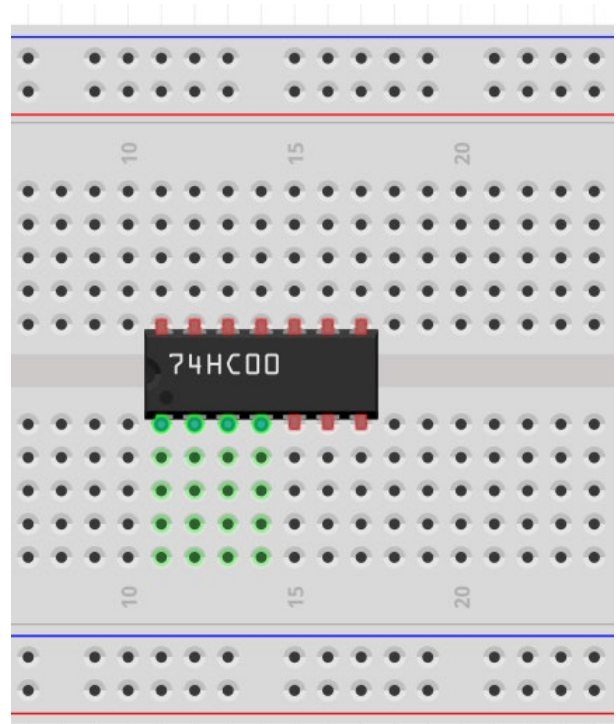


图 6 删除连线后的电路

- 5、首先连接 7400 的 2 脚和 12 脚，鼠标移到准备连线的起点，按住左键，将鼠标移动到连线的终点，松开，如图 8 所示
- 6、鼠标点住连线，根据需要，修改连线形状，修改后的电路如图 9 所示
- 7、重复上述步骤，绘制全部电路，如图 10 所示。
- 8、添加电源和地线，可以右键点击连线，修改连线颜色，如图 11 所示
- 9、添加输入输出信号，如图 12 所示
- 10、 点击文件菜单，选择保存电路文件。

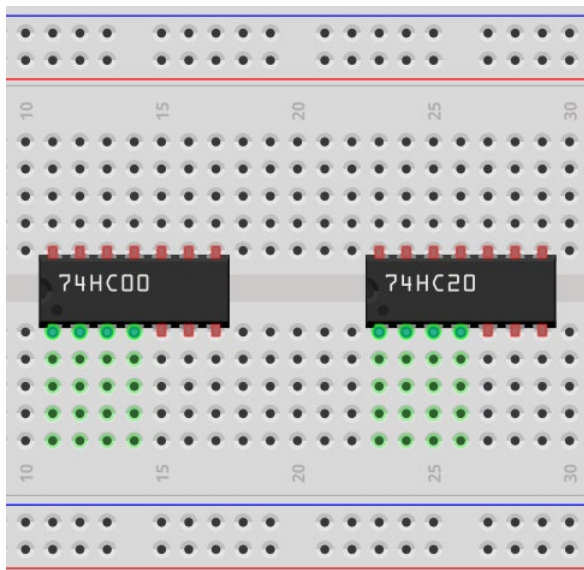


图 7 添加 74HC20 后的电路

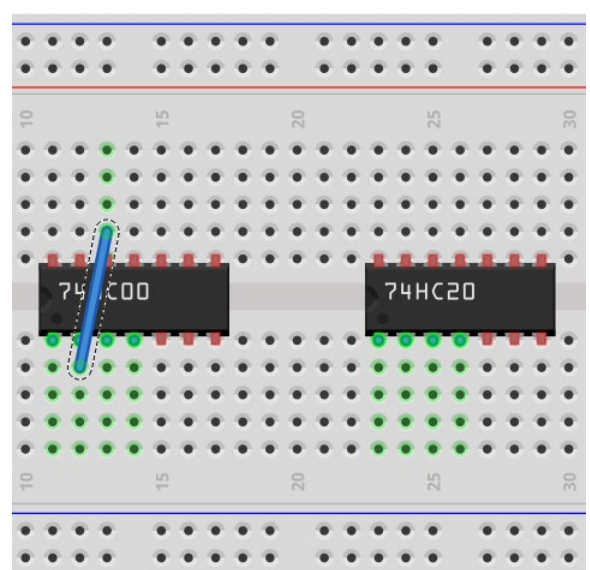


图 6 连线后的电路

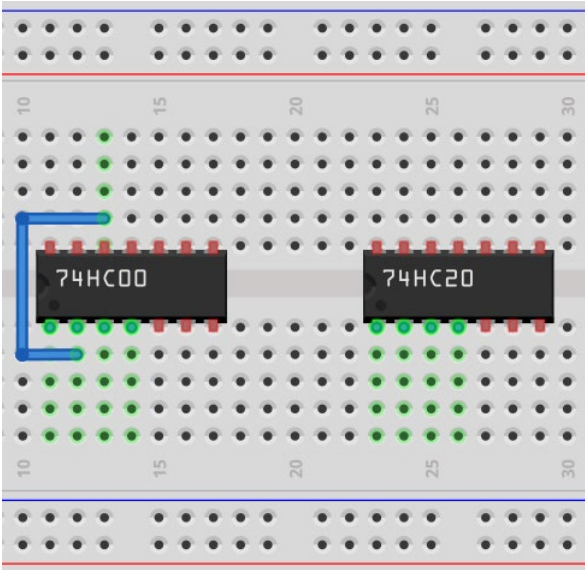


图 9 修改连线后的电路

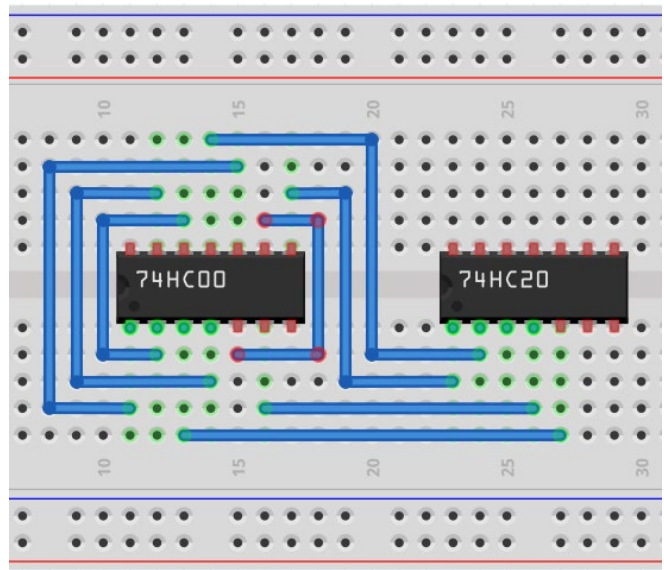


图 10 完成信号连线后的电路

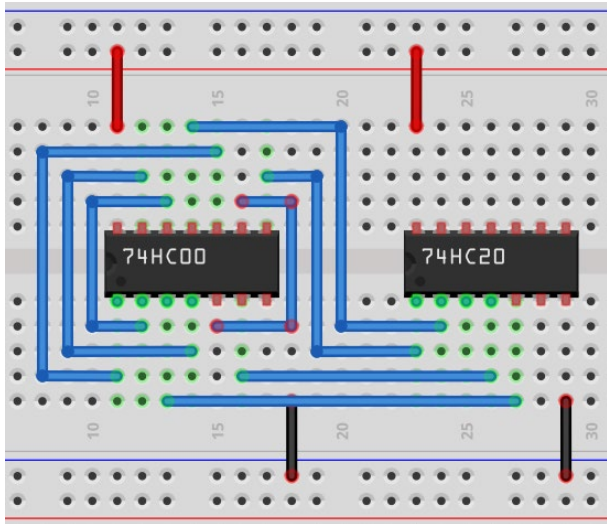


图 11 添加电源和地线后的电路

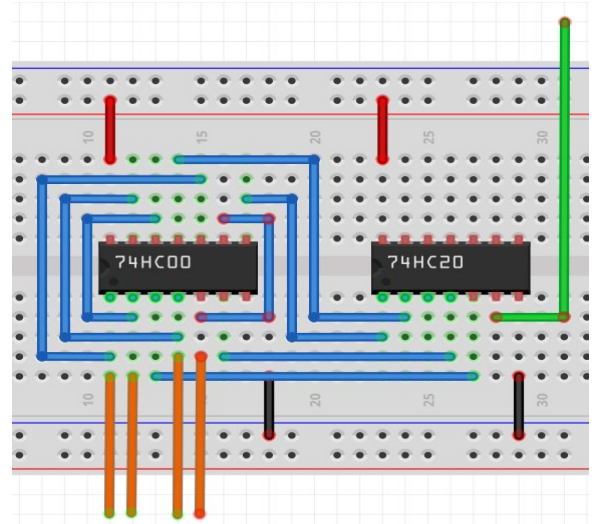


图 10 完成信号连线后的电路

附录二 Quartus II 简明操作指南

在前面的实验里，我们所有的实验都是基于这样一个观点，即将一个数字系统划分成合适利用已有的中小规模数字集成电路的功能的模块，然后将这些集成电路通过外部引线连接起来。现在开始我们将研究用可编程逻辑器件(PLD/FPGA)来进行数字系统设计。

可编程逻辑器件是一种大规模的集成电路，其内部预置了大量易于实现各种逻辑函数的结构，同时还有一些用来保持信息或控制连接的特殊结构，这些保持的信息或连接确定了器件实现的实际逻辑功能，当改变这些信息或连接时器件的功能也将随之改变。可编程逻辑器件的设计过程和传统的中小规模数字电路设计也不一样，可编程数字系统，无论是 CPLD 还是 FPGA 器件都需要利用软件工具来进行设计。可编程数字系统设计总体上一般可以分为设计输入、项目处理、设计校验和器件编程这四个主要过程。下面我们将一个简单的模 60BCD 计数器为例，说明可编程数字系统设计的基本流程、概念和方法，掌握 Quartus II 软件的基本功能和操作，了解原理图输入方式的设计全过程。

一、设计项目输入

设计输入是设计者对系统要实现的逻辑功能进行描述的过程。设计输入有多种表达方式，本次我们主要学习图形输入法。

1.1 建立工程项目

1. 打开 Quartus II，在 File 菜单中选择 New Project Wizard 项，将出现工程项目建立向导对话框。
2. 点击“Next”，进入到相应的对话框，在最上面的文本输入框中输入项目所在的目录名（注意：不能用中文名，下同），在中间的文本输入框中输入项目名称，在图 1 中中额的文本输入框中输入最顶层模块的名称。



图 1 项目名称输入

3. 点击“Next”，进入到设计文件选择对话框，由于在本例中还没有任何设计文件，所以不选择任何文件。
4. 点击“Next”，进入到图 2 所示的器件选择对话框，在“Family”下拉菜单中选择“CycloneIII”，在“Available Devices”列表栏中选择“EP3C5E144C8”。
5. 点击“Next”进入到第三方 EDA 工具选择对话框，在这个界面我们可以选择第三方的综合工具、仿真工具

和时延分析工具。由于在本例中我们的综合、仿真和时延分析都采用 Quartus II 内置的工具，所以在这个页面不作任何选择。

6. 点击“Next”进入到“Summary”对话框，在这个窗口列出了前面所作设置的全部信息。点击“Finish”完成工程项目建立过程，回到主窗口。

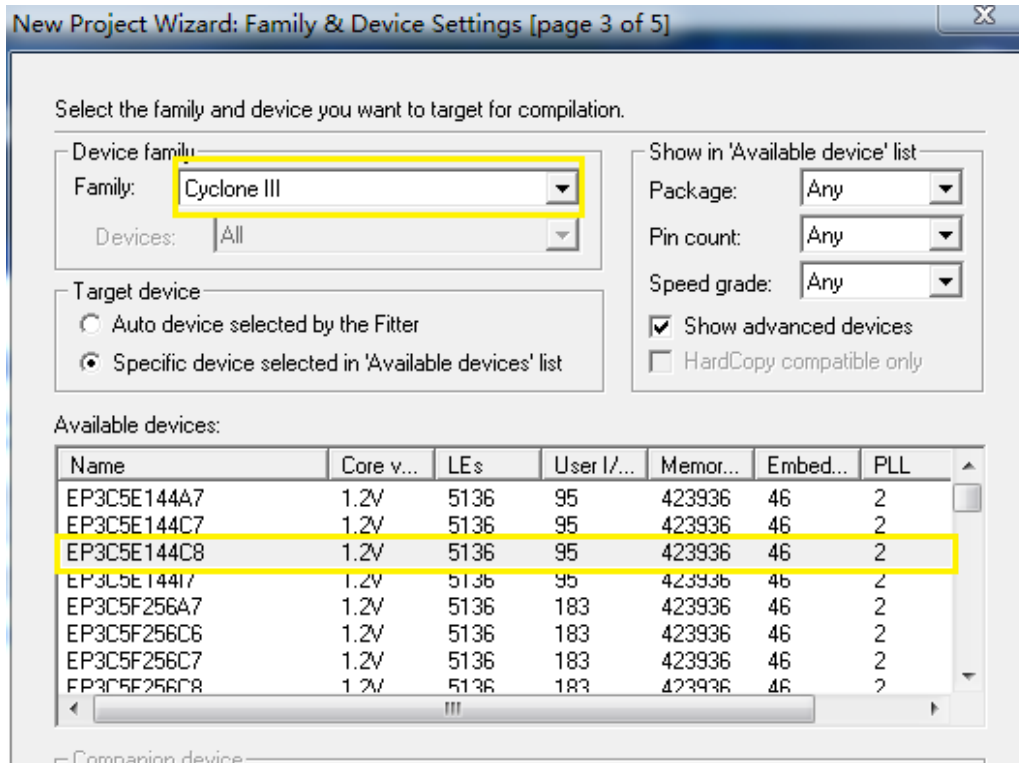






图 2 器件选择对话框

1.2 建立原理图输入文件

在 Quartus II 中我们可以利用 Block Editor 以原理图的形式进行设计输入和编辑。Block Editor 可以读取并编辑后缀名为“.bdf”的原理图设计文件以及在 MAX+PLUS II 中建立的后缀为“.gdf”的原理图输入文件。

1. 在 File 菜单中选择 New 项，将出现新建文件对话框。选择“Design File/Block Diagram/Schematic File”项。
2. 点击“OK”，在主界面中将打开“Block Editor”窗口。“Block Editor”包括主绘图区和主绘图工具条两部分。主绘图区是用户绘制原理图的区域，绘图工具条包含了绘图所需要的一些工具。简要说明如下：

-  **选择工具**：用于选择图中的器件、线条等绘图元素；
-  **插入器件**：从元件库内选择要添加的元件
-  **插入模块**：插入已设计完成的底层模块；
-  **正交线工具**：用于绘制水平和垂直方向的连线；

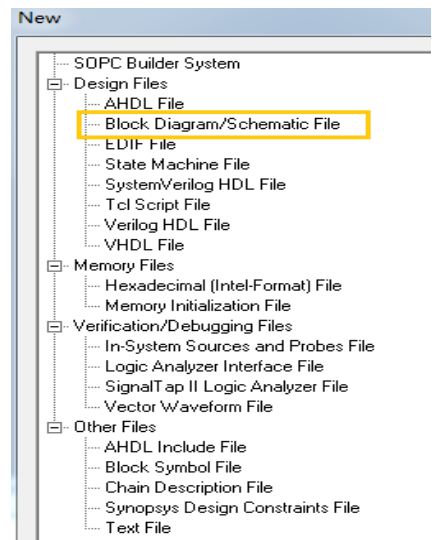











图 3 新建原理图文件

-  **正交总线工具**: 用于绘制水平和垂直方向的总线;
-  **打开/关闭橡皮筋连接功能**: 按下, 橡皮筋连接功能打开, 此时移动元件连接在元件上的连线也跟着移动, 不改变同其他元件的连接关系;
-  **打开/关闭局部正交连线选择功能**: 按下时打开局部正交连线选择功能, 此时可以通过用鼠标选择两条正交连线的局部;
-  **放大和缩小工具**: 按下时, 点击鼠标左键放大, 右键缩小显示绘图工作区;
-  **全屏显示**: 将当前主窗口全屏显示;
-  **垂直翻转**: 将选中的元件或模块进行垂直翻转;
-  **水平翻转**: 将选中的元件或模块进行水平翻转;
-  **旋转 90 度**: 将选中的元件或模块逆时针方向旋转 90 度;

3. 元件的添加:

在主绘图区双击鼠标左键, 弹出图 4 所示的 Symbol 对话框, 在 name 栏输入需添加的元件, 如 7400 或 nand2 (二输入与非门), not (非门), vcc (5v 电源、高电平), gnd (接地、低电平), input (输入引脚), output (输出引脚) 等, 回车或点击 ok, 此时在鼠标光标处将出现该元件图标, 并随鼠标的移动而移动, 在合适的位置点击鼠标左键, 放置一个元件。也可以利用插入器件工具  来添加元器件, 方法类似。

在“Libraries”栏中显示目前你已经安装的元件库, 一般缺省会有 mega functions、others 和 primitives 这三个库。其中 mega functions 是参数化模块库, 包含了一些参数可调、功能复杂的高级功能模块; others 库中则包含了原来 MAX+PLUS II 中的部分器件库, 其中包括了大部分的 74 系列中规模逻辑器件; primitives 库是基本库包含一些基本的逻辑器件, 如各种门、触发器等。

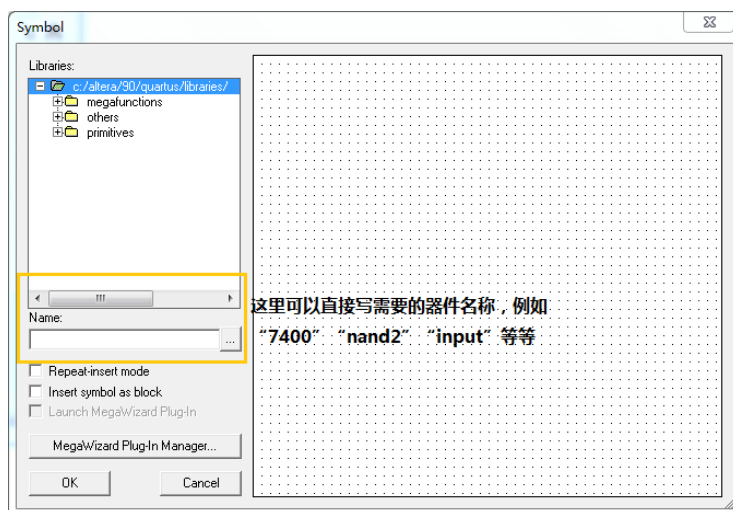


图 4 找出需要的器件名称

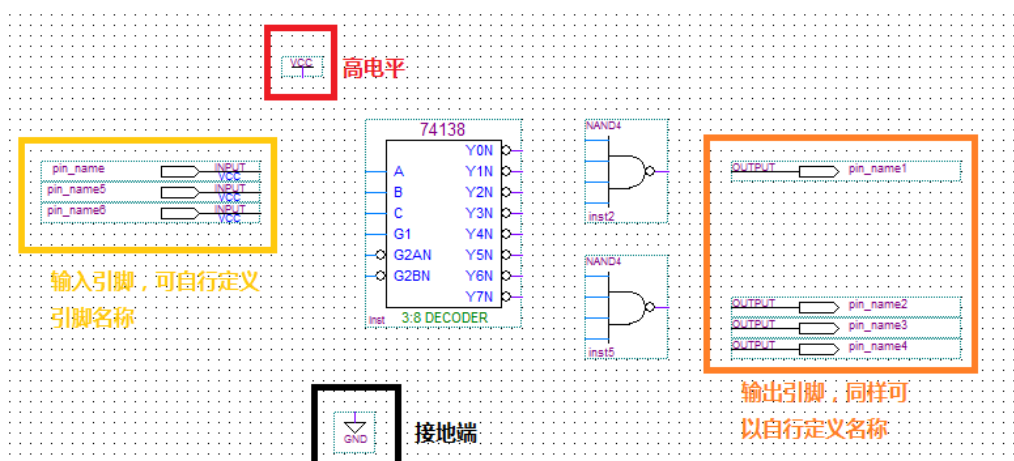


图 5 将器件放置在工作区

4. **命名输入输出引脚:** 双击输入输出引脚的“PIN_NAME”，输入自己定义的名字即可。
5. **器件的连接和修改:** 连接元器件的两个端口时，先将鼠标移到其中一个端口上，这时鼠标指示符自动变为“+”形状，然后一直按住鼠标的左键并将鼠标拖到第二个端口，放开左键，则一条连接线被画好了。如果需要删除一根连接线，可单击这根连接线使其成高亮线，然后按键盘上的“Delete”键即可。

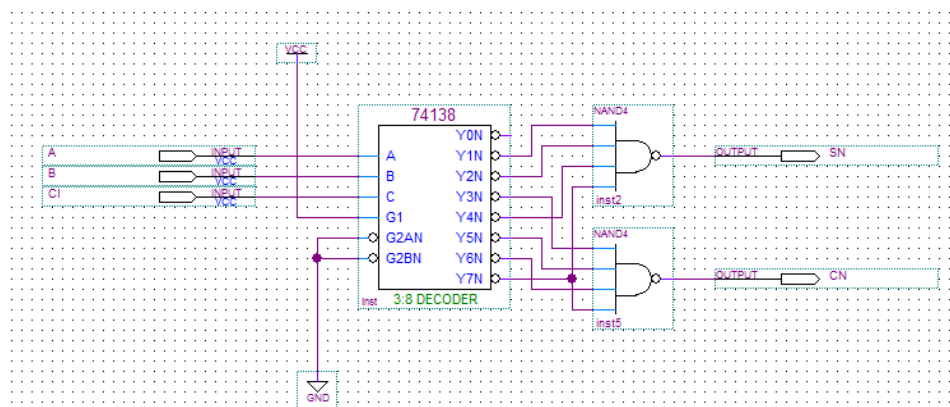


图 6 连接好线和输入输出端口的原理图

注：1、连线时走线请避开元件或端口的轮廓虚线；（图中浅绿色虚框）


2、连线中线段可交叉，但如果出现连接点则表示两线段相连相通；

3、输入端通常不可悬空。

6. **保存文件:** 从“File”菜单下选择“Save”，出现文件保存对话框。单击“OK”，使用默认的文件名存盘。默认的文件名为项目顶层模块名加上“.bdf”后缀。

二、设计项目处理

在完成输入后,设计项目必须经过一系列的编译处理才能转化为可以下载到器件内的编程文件。

1. 点击主工具栏上的  按钮,开始“Analysis and Synthesis”编译过程。注意应该将要编译的文件设置成顶层文件才能对它进行编译,设置方法为: 点击左边 Project Navigator/files, 打开 files/Device Design Files, 选中要编译的 bdf 文件, 点击鼠标右键, 在图 7 所示弹出的菜单中选择 Set as Top-level Entity。

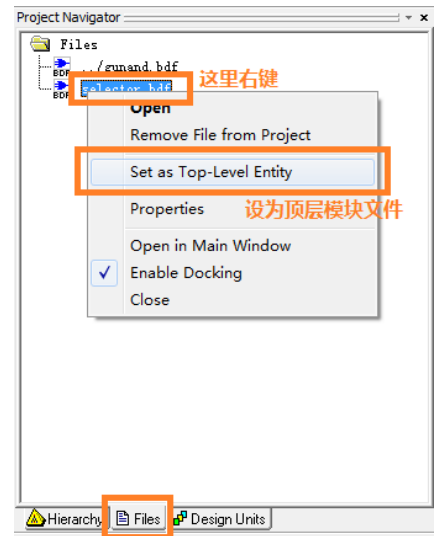


图 7 设置项目顶层文件

2. 在项目处理过程期间,所有信息、错误和警告将会在自动打开的信息处理窗口中显示出来。如果有错误或警告发生,双击该错误或警告信息,就会找到该错误或警告在设计文件中的位置。其中错误必须要修改,否则无法执行后续的项目处理,对于警告则要分情况处理。

3. **分配引脚:** Analysis and Synthesis 全部通过后,为了把我们的设计下载到实际电路中进行验证,还必须把设计项目的输入输出端口和器件相应的引脚绑定在一起。有两种方法可以实现这个过程,一种是给引脚分配信号,另一种则是给信号分配管脚。在此只介绍给信号分配管脚的方法:

选择菜单 Assignments→Pins,“Assignments Editor”窗口。选择菜单 View→Show All Known Pin Names,此时编辑器将显示所有的输入输出信号,其中“Node Name”列是信号列,“Location”列是引脚列,“General Function”列显示该引脚的通用功能。对于一个输入输出信号,双击对应的“Location”列,在弹出的下拉列表框内选择需要绑定的管脚号。完成所有引脚的绑定,保存修改,此时原理图设计文件将给输入输出端口添加引脚编号。

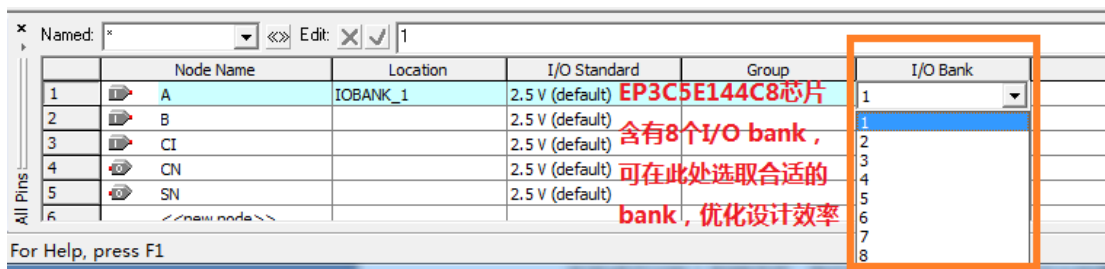


图 8 根据需要选取合适 I/O bank

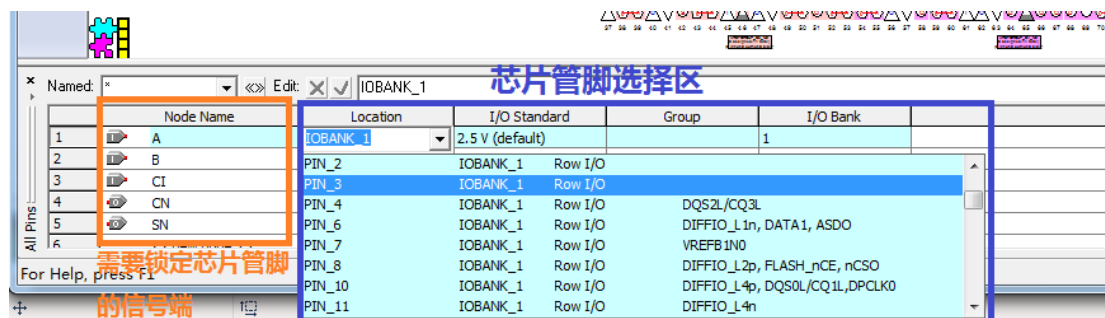



图 9 给信号分配管脚

4. 布局布线、生成编程文件和时序分析：Analysis and Synthesis 和管脚分配完成后，可以点击  进行全编译

三、 设计项目校验

在完成设计输入和编译后，我们可以通过软件来检验设计的逻辑功能和计算设计的内部定时是否符合设计要求。常见的设计项目校验包括功能仿真、定时分析和时序仿真。

3.1 建立输入激励波形文件 (.vmf):


在做仿真之前，必须要先建立波形激励文件，具体步骤如下：

1. 在“File”菜单中选择“New”打开新建文件对话框，在“Verification/Debugging Files”中选择“Vector Waveform File”项后选择“OK”。
2. 编辑器窗口的节点名称栏(Name)空白处单击鼠标右键，在该菜单中选择“Insert Node or Bus...”项，弹出 Insert Node or Bus 对话框，点击“Node Finder”按钮，打开 “Node Finder”对话框，单击“List”按钮可以在“Nodes Found”栏中看到在设计中的所有输入/输出信号，当选中信号时，蓝色高亮，表示被选中。单击“>”按钮可将选中的信号移动到“Selected Nodes”区，表示可对这些信号进行观测。点击“OK”按钮，回到“Insert Node or Bus”对话框，再点击该对话框的“OK”按钮。
3. 从菜单“File”中选择“Save”，将此波形文件保存为默认名，扩展名“.vmf”表示仿真波形激励文件。


3.2 为输入信号建立输入激励波形:

在波形文件中添加好输入/输出信号后，就可开始为输入信号建立输入激励波形。


1. 在“Tools”菜单中选择“Options”项，打开参数设置对话框，选择“Waveform Editor”项设置波形仿真器参数。在这个对话框里我们设置“Snap to grid”为不选中，其他为缺省值即可。
2. 从菜单“Edit”下选择“End Time”项，弹出终止时间设定对话框，根据设计需要设置仿真终止时间。
3. 利用波形编辑器工具栏提供的工具为输入信号赋值，工具栏中主要按钮的功能介绍如下：



 **放大和缩小工具：** 利用鼠标左键放大/右键缩小显示仿真波形区域；

 **全屏显示：** 全屏显示当前波形编辑器窗口；

 **赋值“0”：** 对某段已选中的波形，赋值‘0’，即强 0；

 **赋值“1”：** 对某段已选中的波形，赋值‘1’，即强 1；

 **时钟赋值：** 为周期性时钟信号赋值；

4. 用鼠标左键单击“Name”区的信号，该信号全部变为黑色，表示该信号被选中。用鼠标左键单击  按钮即可将该信号设为“1”。**设置时钟信号方法：** 选中信号，单击工具条中的  按钮打开 Clock 对话框，输入所需的时钟周期，单击“OK”关闭此对话框即可生成所需时钟。
5. 选择“File”中“Save”存盘。到此完成激励波形输入。

3.3 功能仿真

可编程系统的仿真一般分为功能仿真和时序仿真。其中功能仿真，主要是检查逻辑功能是否正确。功能仿真方法如下：

1. 在“Processing”菜单下选择“Simulator Tool”项，打开“Simulator Tool”对话框。在“Simulator Mode”下拉列表框中选择“Functional”项，在“Simulation input”栏中指定波形激励文件。单击“Generator Functional Simulator Netlist”按钮，生成功能仿真网表文件。
2. 仿真网表生成成功后，点击“Start”按钮，开始功能仿真。仿真计算完成后，点击“Report”按钮，打开仿真结果波形。
3. 观察输出波形，检查是否满足设计要求。

3.4 时序仿真

时序仿真则是在功能仿真的基础上利用在布局布线中获得的精确延时参数进行的精确仿真，一般时序仿真的结果和实际结果非常的接近，但由于要计算大量的时延信息，仿真速度比较慢。时序仿真的详细步骤如下：

1. 在“Simulator Tool”对话框的“Simulator Mode”下拉列表框中选择“Timing”项，在“Simulation input”栏中指定波形激励文件。
2. 点击“Start”按钮，开始时序仿真。仿真计算完成后，点击“Report”按钮，打开和功能仿真类似仿真结果波形。

四、 器件编程

器件编程是使用项目处理过程中生成的编程文件对器件进行编程的，在这个过程中可以对器件编程、校验、试验，检查是否空白以及进行功能测试。

4.1 Quartus II 器件编程

1. 用下载电缆将计算机并口和实验设备连接起来，接通电源。
2. 选择 Tools→Programmer 菜单，打开 Programmer 窗口。
 - a) 在开始编程之前，必须正确设置编程硬件。点击“Hardware Setup”按钮，打开硬件设置窗口。
3. 点击“Add Hardware”打开硬件添加窗口，在“Hardware type”下拉框中选择“Usb Blaster”，点击 OK 按钮确认，关闭 Hardware Setup 窗口，完成硬件设置。
4. 将 Program/Configure 选中。
5. 点击“Start”按钮，开始编程。

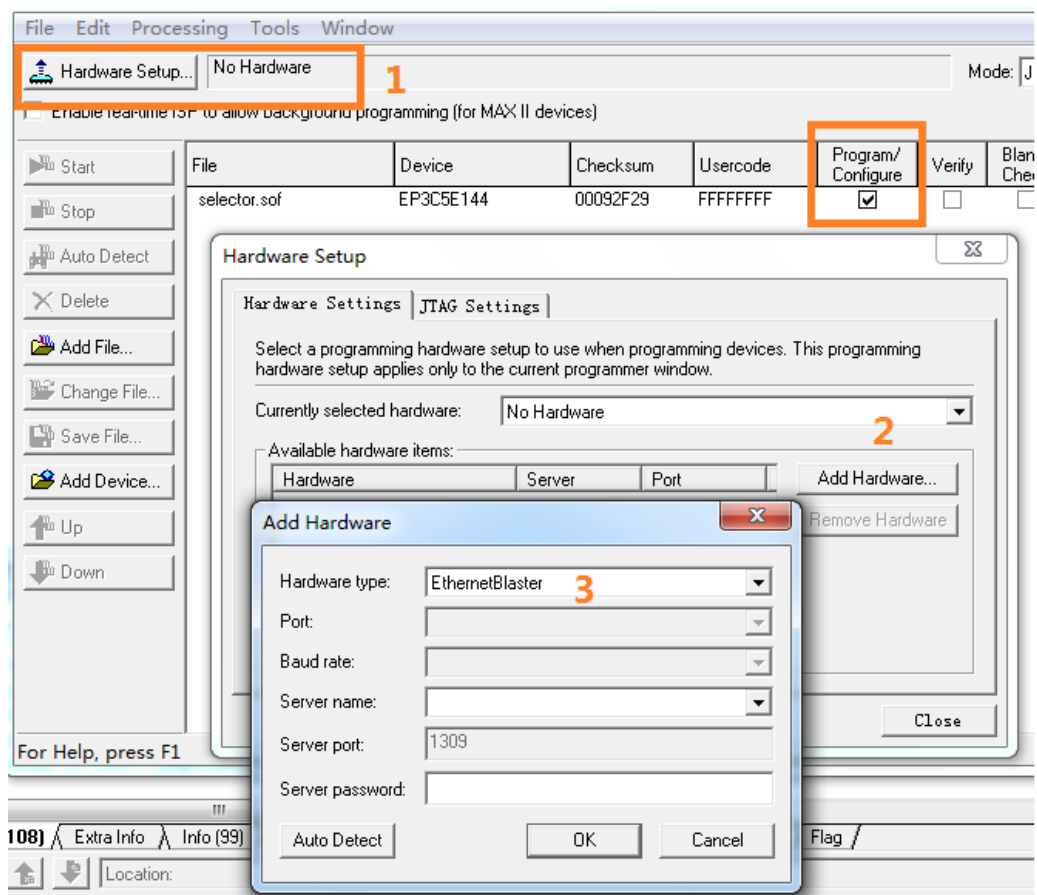


图 10 下载电缆设置