

2018 ~ 2019 学年

计  
算  
机  
结  
构  
与  
逻  
辑  
设  
计  
实  
验

# 目 录

第一部分 教学计划和要求.....	5
一、 基本情况: .....	5
二、 教学要求: .....	5
1. 预习要求: .....	5
2. 实验要求: .....	5
3. 实验报告要求: .....	6
三、 实验教学计划.....	7
四、 评分和考核方法.....	8
五、 本学期开放时间安排.....	9
第二部分“计算机结构与逻辑设计实验”课程准备事项.....	10
一、 实验预习.....	10
二、 准备导线.....	10
三、 准备面包板.....	11
四、 准备工具.....	11
五、 下载并安装相关软件.....	13
第三部分 “计算机结构与逻辑设计实验”预习报告样例 .....	14
一、 实验内容.....	14
二、 实验设计方案.....	14
1. 输入输出信号编码.....	14
2. 列出真值表.....	14
3. 逻辑化简.....	15
4. 逻辑电路图.....	15
5. 硬件连接示意图.....	15
6. 测试方案.....	16
第四部分 电路搭接调试方法.....	17
一、 分析电路.....	17

二、 合并器件.....	17
三、 查询数据手册.....	18
四、 根据数据手册选择器件，分配管脚.....	18
五、 元件布局.....	19
六、 布线.....	20
七、 通电前检查.....	24
八、 通电验证.....	24
九、 故障调试.....	24
第五部分 实验内容.....	27
实验一、 组合逻辑电路.....	27
1. 学习目标: .....	27
2. 时间要求: .....	27
3. 预备知识: .....	27
4. 实验内容（理论课布置）: .....	28
5. 预习项目 .....	29
实验二、 FPGA 组合逻辑设计.....	30
1. 学习目标: .....	30
2. 时间要求: .....	30
3. 预备知识: .....	30
4. 演示实验 .....	30
5. 必做实验: .....	31
6. 预习项目 .....	33
实验三、 时序逻辑电路.....	34
1. 学习目标: .....	34
2. 时间要求: .....	34
3. 预备知识: .....	34
4. 必做实验（理论课布置）: .....	34
5. 预习项目 .....	35

实验四、 FPGA 时序逻辑设计.....	36
1. 学习目标.....	36
2. 时间要求: .....	36
3. 预备知识: .....	36
4. 必做实验: .....	36
5. 预习检查项目 .....	37
实验五、 FPGA 系统设计.....	38
1. 学习目标.....	38
2. 时间要求: .....	38
3. 预备知识: .....	38
4. 必做实验——健身自行车控制器: .....	38
5. 实验要求: .....	40
6. 预习检查项目 .....	40

# 第一部分 教学计划和要求

## 一、 基本情况:

- 1、总学时: 48 学时
- 2、学时比例: 1 (课内): 1.5 (课外)
- 3、适用范围: 2017 级吴健雄学院学生
- 4、先修课程: 高等数学、物理、数字逻辑电路
- 5、时 间: 2018.10~2019.1
- 6、实验教材: 《数字逻辑设计实践》徐莹隽、常春等编著, 高等教育出版社

## 二、 教学要求:

### 1. 预习要求:

- 1、进实验室前**必须**完成本次实验预习报告, 内容包括
  - a) 实验电路功能描述、系统框图和详细设计过程
  - b) 实验电路原理图
  - c) 实验电路硬件连接图
  - d) 如果实验有预习思考题, 提交预习思考题答案
- 2、预习报告写在实验报告的实验原理部分, 如没有把握, 也可先写在其他纸上, 实验完成后重誊写到实验报告上
- 3、实验电路**必须**在进实验室前完成搭接, 实验室内以电路调试为主
- 4、电工电子实验中心的网站地址为: <http://eae.seu.edu.cn>, 预习时请访问该平台以了解您准备完成的实验内容是否有变动、提示或其他通知。

### 2. 实验要求:

- 1、实验采用集中授课+开放实验模式, 第一次实验时请仔细阅读开放实验规章制度, 并在以后的实验中认真遵守

- 2、每次实验要带校园卡、元器件、单股连接线、丁字线和所发的面包板。丁字线和面包板请妥善保管，勿丢失或损坏，否则将照价赔偿
- 3、在进入实验室时，请在刷卡机上出示您的校园卡，在刷卡机分配的实验室和实验座位上完成实验，严禁串座
- 4、实验前先检查自己座位上的仪器、如有缺失或损坏请及时通知指导老师处理。实验过程中如果发生仪器故障，也请和值班教师联系，值班教师检查确认后用备用仪器更换，严禁自己用其他实验座位上的仪器更换
- 5、按实验设计方案搭接和测试电路，认真检查确保无误后方可通电测试
- 6、认真记录实验数据和实验波形，所有数据和波形都要分析判断，确认正确
- 7、要求实物验收的实验内容，完成并记录所有实验数据后，提请指导老师验收，验收通过后方可拆除电路结束实验
- 8、实验过程中遇到故障要独立思考，耐心查找故障原因并排除，记录故障现象、排除故障的过程和方法
- 9、实验中若发生异常现象，应立即切断电源，并通知指导老师处理。如有元器件损坏，可到仪表室购买
- 10、 开放实验每次至少要完成一项实验内容，单次实验时间不少于 1 个小时
- 11、 实验中途请勿随意离开实验室，如确实有特殊情况请向指导教师请假
- 12、 实验完成后请将仪器归位并关闭仪器电源、整理线缆、打扫干净实验桌面，然后刷卡下机

### 3. 实验报告要求：

1. 实验报告应该包括以下几个部分
  - 实验目的和要求
  - 实验原理，包括实验电路的设计过程、系统框图、原理图、硬件连接图、测试方案等，要求在实验前完成
  - 实验仪器，实验中用到的仪器设备
  - 实验记录，记录实验具体步骤、原始数据、实验过程、实验中遇到的故障现象、排除故障的过程和方法等

- 实验分析，对实验结果进行分析比对
  - 实验小结，总结实验完成情况，对设计方案和实验结果做必要的讨论，简述实验收获和体会
  - 实验思考题，如有，提交思考题答案
  - 参考资料，记录实验过程阅读的有关资料，包含资料名称、作者等
2. 数字电路实验结果验证一般包括真值表验证、波形验证、功能验证
- 真值表验证结果，要求用表格记录
  - 波形验证结果，要求记录在坐标纸上，记录的时候注意多路波形之间的时序关系
  - 功能验证结果，要求用表格记录
3. 实验报告必须在指定时间完成并提交

### 三、 实验教学计划

周次	内容	实验模式	学时	教材
05	组合逻辑电路、 Vivado 软件介绍	集中授课	4	数电教材第 1、2、3 章、 讲义
06	组合逻辑电路	集中验收	4	数电教材第 1、2、3 章
07	FPGA 组合逻辑设计、 Vivado 仿真设计	集中授课	4	数电教材 第 3、7 章、 讲义
08	FPGA 组合逻辑设计	集中验收	4	数电教材 第 3、7 章、 讲义
09	时序逻辑电路	集中授课	4	数电教材 第 4 章
10	时序逻辑电路	集中验收	4	数电教材 第 4 章

11	FPGA 时序逻辑设计	集中授课	4	数电教材 第 4、7 章
12	FPGA 时序逻辑设计	集中验收	4	数电教材 第 4、7 章
13	FPGA 时序逻辑设计	集中验收	4	数电教材 第 4、7 章
14	FPGA 系统设计	集中授课	4	数电教材 第 6、7 章
15	FPGA 系统设计	集中验收	4	数电教材 第 6、7 章
16	期末考试	集中上课	4	

#### 四、评分和考核方法

实验过程采用积分考核方式，总积分为 600，实验总评采用等级制，等级和积分对应关系为：优（540 - 600），良（480 - 539），中（420 - 479），及格（360 - 419），不及格（0 - 359）。具体积分分布如下表所示

实验名称	预习报告	预搭接	实验验收	实验报告
组合逻辑电路	10	10	20	20
FPGA 组合逻辑设计	10	10	20	20
时序逻辑电路（第 9 周实验）	10	10	10	20
时序逻辑电路（第 10 周实验）	10	10	30	
FPGA 时序逻辑设计	20	0	60	20
FPGA 系统设计	20	0	60	20
期末考试	120			

其他（实验态度、考勤、违纪违规）	60
------------------	----

## 五、 本学期开放时间安排

### 1、 开放实验时间：

- 周一                                14:00 ~ 21:00
- 周二                                09:30 ~ 21:00
- 周三                                09:30 ~ 21:00
- 周四                                09:30 ~ 21:00
- 周五                                09:30 ~ 16:30
- 周六                                09:30 ~ 16:30

### 2、 法定假期和校历规定的假期，实验室不开放；

### 3、 开放时间临时变更，将在实验中心主页上提前通知，来实验室前最好访问实验中心主页确认是否开放。

# 第二部分 “计算机结构与逻辑设计实验” 课程准备事项

在首次课前，每位同学必须完成以下准备工作

## 一、 实验预习

- ① 完成实验 1 所有必做实验的设计，并将设计方案、原理图、硬件连接示意图等写在预习报告上或者实验报告的原理部分
- ② 至少完成实验 1 中“数值判别电路”的电路搭接，如有能力，可将所有电路都预搭接好

## 二、 准备导线

面包板搭试电路时，使用的是直径为 0.6mm 左右的单股导线。在课程开始前，请按下表准备好导线，所有导线两侧线头都要剥好，线头剥离长度约为 6mm 左右，线头剪成 45° 斜口。这样有利于线头全部插入底板以保证接触良好，同时裸线又不会露在外面与其它导线断路。表格内的线长不包含两边线头的长度，也可自行从市场上购买成品面包板用跳线，如下图所示。

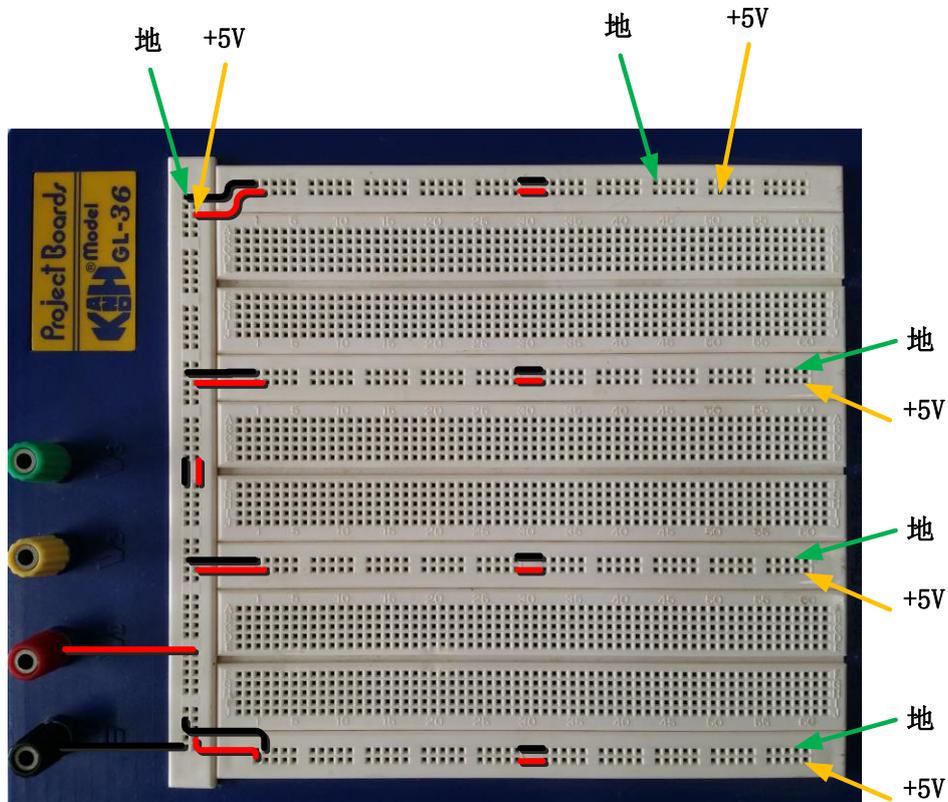


*第一次上课时，指导老师将检查导线准备情况，检查结果计入第一次实验的预习成绩。*

线长 (cm)	数量
2.5	6
5	6
7.5	6
10	4
20	4

50	4
----	---

### 三、 准备面包板



我们实验主要通过面包板完成电路搭试，在首次实验课前，按图所示连接好跳线。请根据面包板的结构，自己分析一下，为什么要这样跳线

*第一次上课时，指导老师将检查面包板准备情况，检查结果计入第一次实验的预习成绩*

### 四、 准备工具

为了提高实验效率，我们建议自备以下实验工具：



**剥线钳：**用于剥除电线头部的表面绝缘层，常用的剥线钳有两种，如上图所示，两种功能基本相同，任选一种即可。剥线钳使用时要掌握以下要点：

- ① 要根据导线直径，选用剥线钳刀片的孔径。
- ② 根据缆线的粗细型号，选择相应的剥线刀口
- ③ 将准备好的电缆放在剥线工具的刀刃中间，选择好要剥线的长度
- ④ 握住剥线工具手柄，将电缆夹住，缓缓用力使电缆外表皮慢慢剥落
- ⑤ 松开工具手柄，取出电缆线，这时电缆金属整齐露出外面，其余绝缘塑料完好无损

**镊子：**我们平时搭电路时，如果用手直接拿住导线往插孔里插，很容易造成导线弯曲，而用镊子夹住导线或元器件的引脚送入到指定的面包板插孔，导线则不易弯曲。镊子也常用于折弯、捋直导线或元件管脚，起拔集成电路等。镊子的种类很多，我们实验中一般选择下图所示的尖头镊子。



**剪刀或斜口钳：**用来剪断导线、元件脚，其中斜口钳切断能力要比剪刀强很多，剪切不费力。斜口钳剪线时，应将线头朝向下，以防止断线时伤及眼睛或其他同学，不要用来剪断铁丝或其他金属的物体，也不要用来剪线径过粗的导线，以免损伤刃口。斜口钳在很多场合也可以用指甲钳代替。



**DIP 封装集成电路起拔器：**用于将双列直插封装的集成电路从面包板上取下，同时不损伤器件。使用时，将起拔器的两个爪，插入到集成电路的两侧，然后握紧夹子，轻轻上提将集成电路拔出。无该工具时，可用镊子代替将镊子插入面包板的中间槽中，在集成电路的两头来回轻轻地往上撬，切不可仅在一头用力撬，那样容易将集成电路的引脚折弯。



## 五、 下载并安装相关软件

数字逻辑设计实践课程要用到的软件包括电路仿真软件 Multisim 2012, Xilinx 公司 FPGA 开发平台 VIVADO, 多功能实验平台软件易派, 电子实验报告软件。QQ 群共享中都有, 请同学们抓紧下载安装, 或者找老师 u 盘拷贝安装。

# 第三部分 “计算机结构与逻辑设计实验”预习报告 样例

## 一、 实验内容

人类有四种主要血型：A，B，AB 和 O 型。为了避免输血反应，在输血者和受血者之间应该遵循下列原则：

- ①. 同一血型之间可以相互输血。
- ②. AB 型受血者可以接受任何血型的输血。
- ③. O 型输血者可以给任何血型的受血者输血。

## 二、 实验设计方案

### 1. 输入输出信号编码

输入信号：用二位二进制数  $G_1$ 、 $G_0$  代表输血者的 4 种血型， $R_1$ 、 $R_0$  代表输血者的 4 种血型，编码代表的具体意义如下表所示

输血者			受血者		
$G_1$	$G_0$	血型	$R_1$	$R_0$	血型
0	0	O 型	0	0	O 型
0	1	A 型	0	1	A 型
1	0	B 型	1	0	B 型
1	1	AB 型	1	1	AB 型

输出信号： $S$  代表是否满足输血/受血条件，“1”满足，“0”不满足

### 2. 列出真值表

$G_1$	$G_0$	$R_1$	$R_0$	$S$	$G_1$	$G_0$	$R_1$	$R_0$	$S$
0	0	0	0	1	1	0	0	0	0
0	0	0	1	1	1	0	0	1	0
0	0	1	0	1	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0

0	1	0	1	1	1	1	0	1	0
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	1	1	1	1	1

### 3. 逻辑化简

列卡诺图，如图所示

化简得到逻辑函数表达式

$$S = \overline{G_1} \overline{G_0} + \overline{G_1} R_0 + \overline{G_0} R_1 + R_1 R_0$$

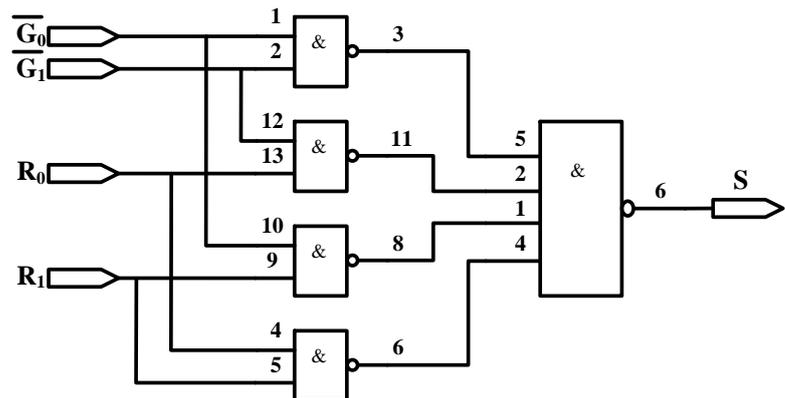
转化为全部用与非门实现

$$S = \overline{\overline{\overline{G_1} \overline{G_0}} \cdot \overline{\overline{\overline{G_1} R_0}} \cdot \overline{\overline{\overline{G_0} R_1}} \cdot \overline{\overline{\overline{R_1} R_0}}}$$

	G <sub>1</sub> G <sub>0</sub>			
R <sub>1</sub> R <sub>0</sub>	00	01	11	10
00	1	0	0	0
01	1	1	0	0
11	1	1	1	1
10	1	0	0	1

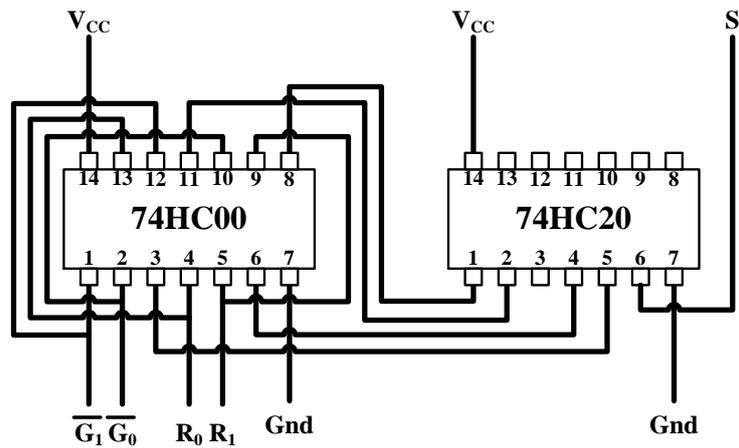
### 4. 逻辑电路图

根据上面得到的逻辑函数表达式，绘制逻辑电路图如右（反变量所需的非门未画出），其中输入信号的原变量从实验箱上的逻辑电平开关获得，反变量需要另外接非门来实现。



### 5. 硬件连接示意图

根据原理图，可知需要 4 个两输入与非门，选择 1 片 74HC00 实现，需要 1 个四输入与非门，选择 1 片 74HC20 实现，绘制硬件连接示意图如下，并将管脚分配反标注到逻辑电路图



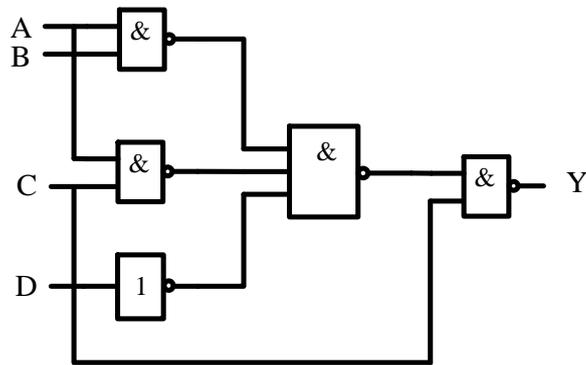
## 6. 测试方案

4 个输入信号接实验箱的逻辑电平开关，1 个输出端接实验箱上的 LED，按照真值表的要求，拨动开关改变输入信号值，遍历 16 种输入组合，并观察输出信号值，输出 LED 亮则输出为 1，灭则输出为 0，测试结果填入下表

G1	G0	R1	R0	S	测试 结果	G1	G0	R1	R0	S	测试 结果
0	0	0	0	1		1	0	0	0	0	
0	0	0	1	1		1	0	0	1	0	
0	0	1	0	1		1	0	1	0	1	
0	0	1	1	1		1	0	1	1	1	
0	1	0	0	0		1	1	0	0	0	
0	1	0	1	1		1	1	0	1	0	
0	1	1	0	0		1	1	1	0	0	
0	1	1	1	1		1	1	1	1	1	

## 第四部分 电路搭接调试方法

下面我们以教材 1.8 节电路为例，来介绍如何正确搭接和调试电路，电路图如下：



### 一、分析电路

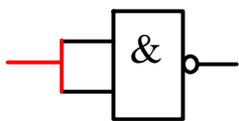
分析可知，图中包含了 3 个 2 输入与非门、1 个非门、1 个 3 输入与非门，查询教材附录“常用集成电路型号和引脚图”，可知有

- 7400      2 输入与非门
- 7404      非门
- 7420      4 输入与非门

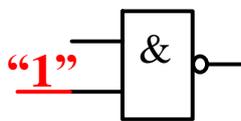
### 二、合并器件

为了减少所用器件种类，可以根据门电路特点，合并一些门

- 非门可以用 2 输入与非门代替，有以下两种方法

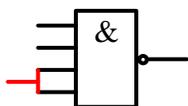


(a) 两输入脚短接

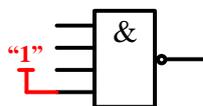


(b) 一个脚强制接高电平

- 因为没有 3 输入与非门，可以用 4 输入与非门代替 3 输入与非门，有以下两种方法

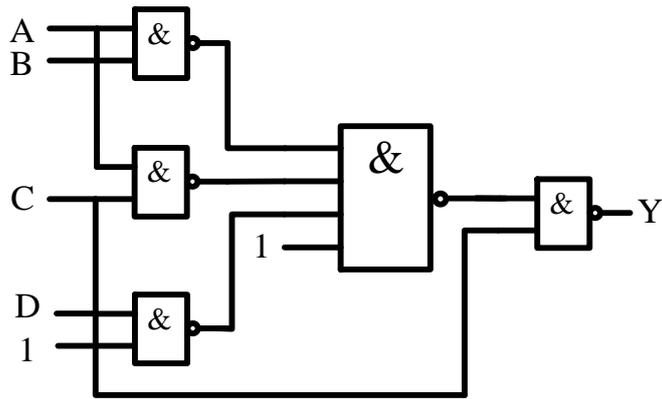


(a) 两输入脚短接



(b) 空闲脚强制接高电平

经过合并的电路如下图所示



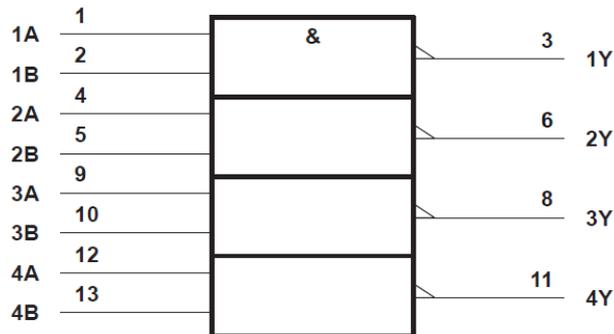
### 三、 查询数据手册

集成电路的数据手册给出了芯片的所有参数指标以及使用方法，熟练阅读数据手册是一个电子设计人员的必备技能。数据手册的获取途径包括：

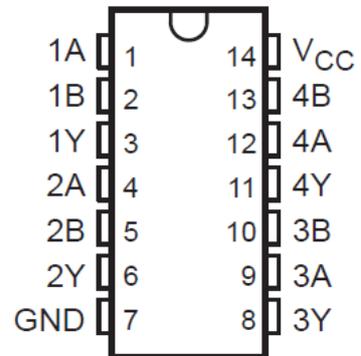
- ✧ 芯片制造商的官方网站
- ✧ 专门的 Datasheet 下载网，常用的有  
<http://www.alldatasheet.com/>  
<http://www.icpdf.com/>
- ✧ 直接用网络搜索引擎，如 Google、Baidu 等

为了提高搜索准确度，最好在搜索的关键词后面加上 pdf，如搜索“74HC00”的数据手册，可用关键词“74HC00 pdf”

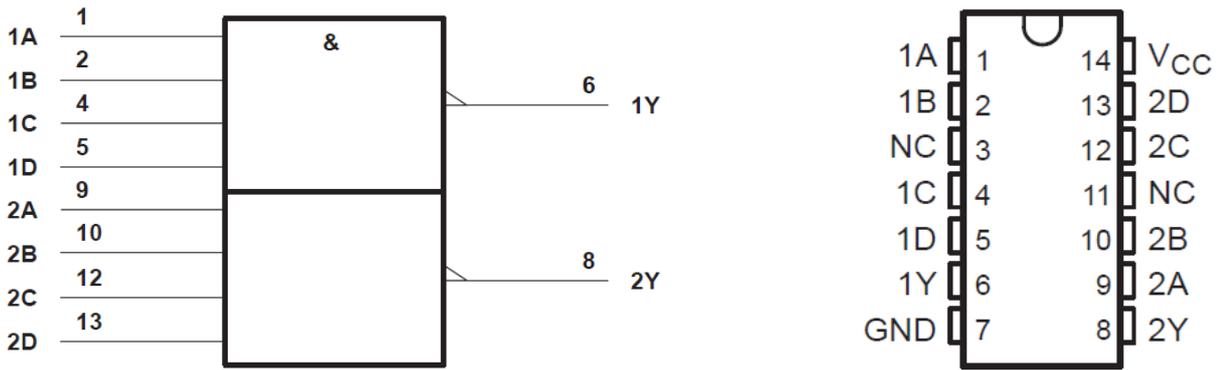
### 四、 根据数据手册选择器件，分配管脚



(a) 74HC00 元件符号，器件包含 4 个 2 输入与非门

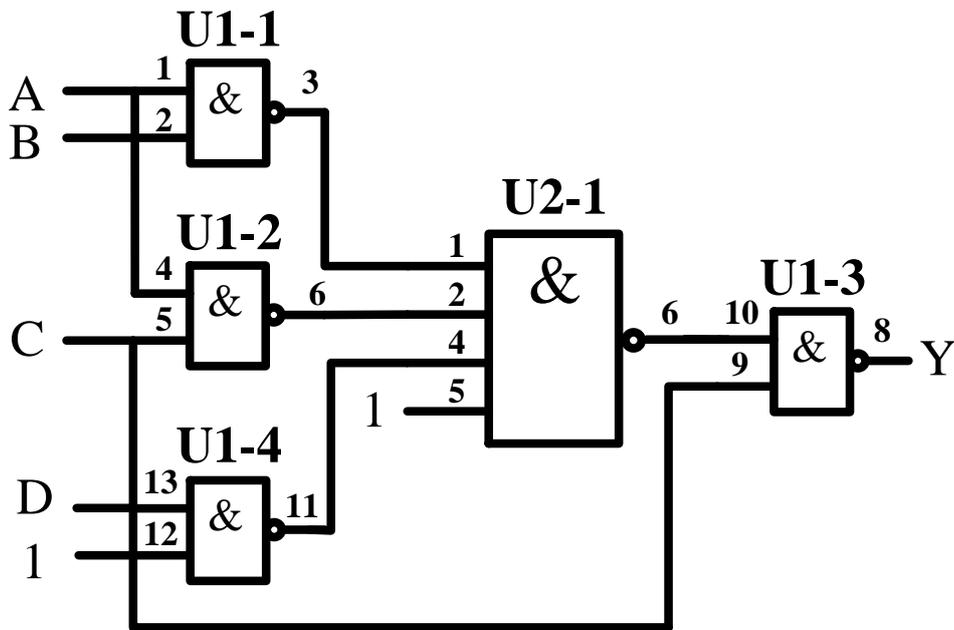


(b) 74HC00 管脚封装



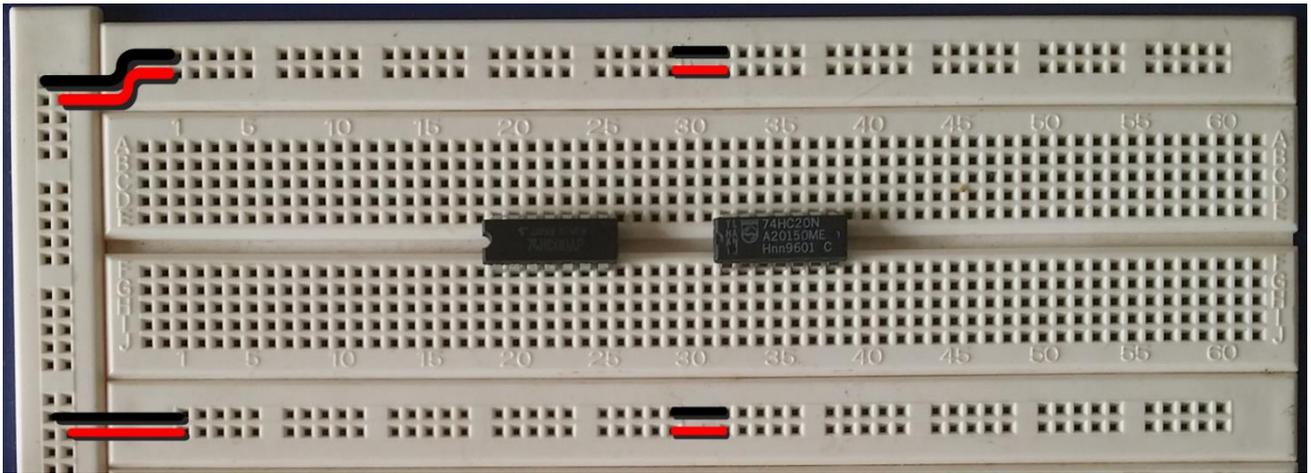
(a) 74HC20 元件符号，器件包含 2 个 4 输入与非门 (b) 74HC20 管脚封装，NC 表示悬空

根据数据手册的器件功能和管脚排列，合理分配逻辑门和管脚，然后在原理图上加上文字说明及数字标号，作为实验接线的依据。如下图所示。U1 代表 7400，U2 代表 7420。在每个门的输入、输出端标注使用的器件的引脚。



## 五、 元件布局

元器件布局要合理，信号流清晰，连线便捷，集成电路跨插在宽条面包板的凹槽上，两排引脚分别插在凹槽上下两侧的小孔中。插入集成电路之前先看清方向，一般使芯片缺口在左边，芯片第一脚在左下方。插入前微调管脚的角度，使管脚和集成电路本体之间呈近 90 度，所有管脚对准面包板对应孔位，然后均匀用力按下，确保芯片引脚能与面包板内的金属条可靠接触。如下图所示。

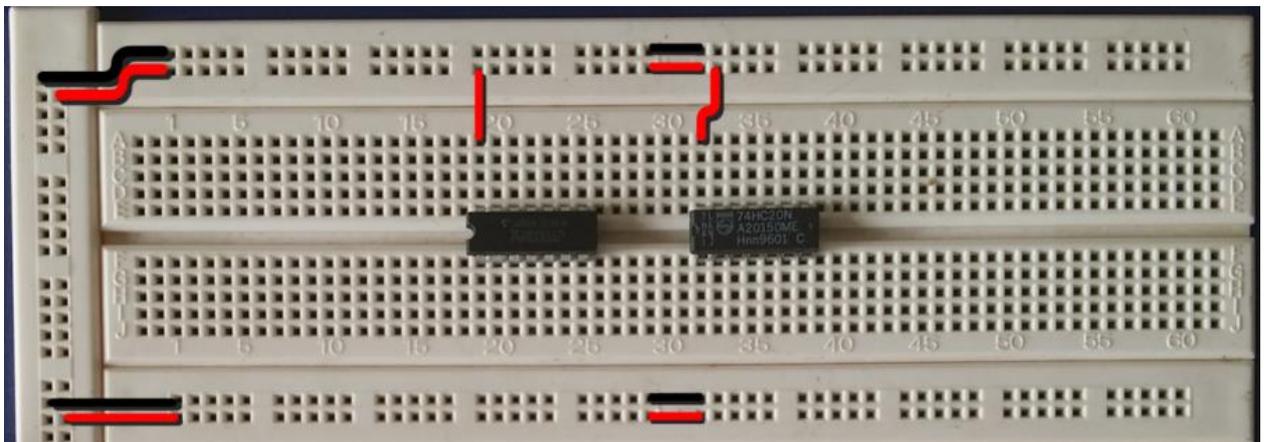


## 六、 布线

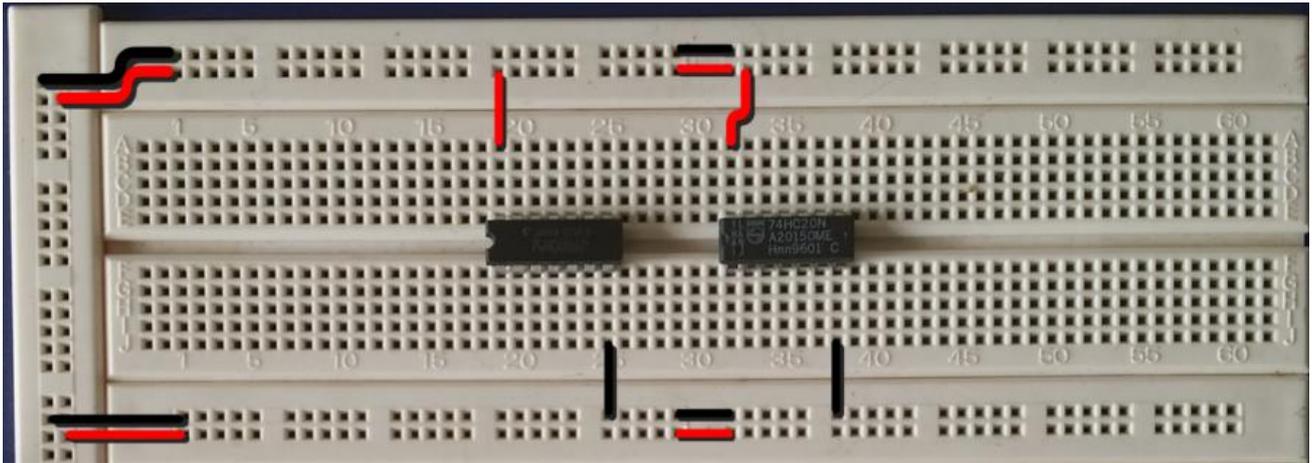
布线时使用直径为 0.6mm 左右的单股导线，使用前要用剥线钳剥离导线两侧线头，线头剥离长度约为 6mm 左右，线头剪成 45°斜口。布线要求走线整齐，清楚，切忌混乱，电源、地和信号尽量使用不同颜色的导线，以示区别。导线应在集成电路芯片周围走线，切忌在集成块上方悬空跨过避免导线之间的互相交叉重叠，也不要过多地遮盖其他插孔，所有走线尽可能贴近面包板表面

在合理布线的前提下，导线尽可能短些布线顺序一般为先布电源线和地线，再布固定电平的规则线，最后按照信号流程逐级连接各逻辑控制线。

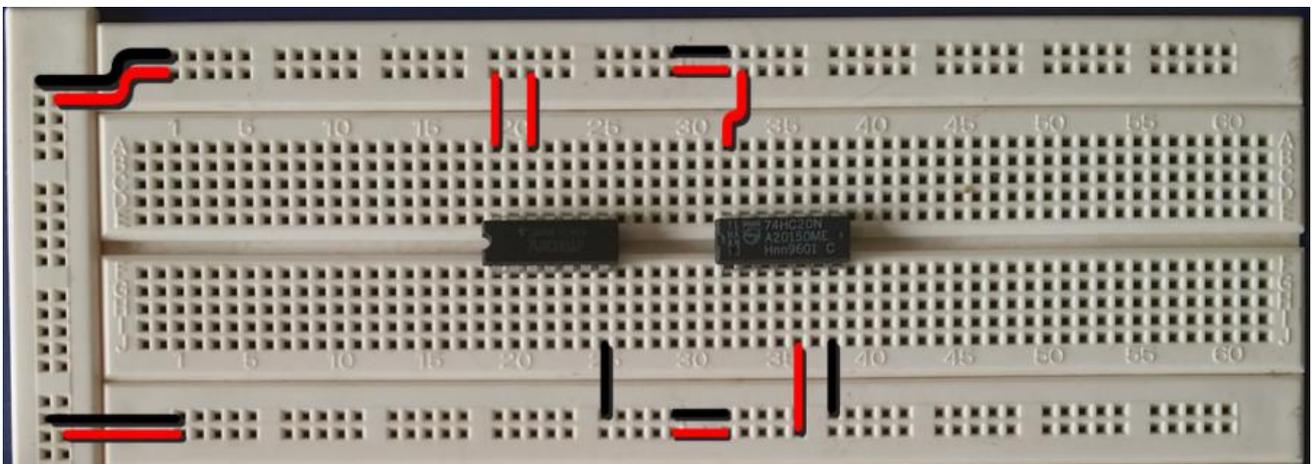
- 1) 布电源线， 7400 和 7420 的电源脚都是 14 脚，因此用导线将 14 脚和电源连接起来，布完电源线的面包板，如下图所示



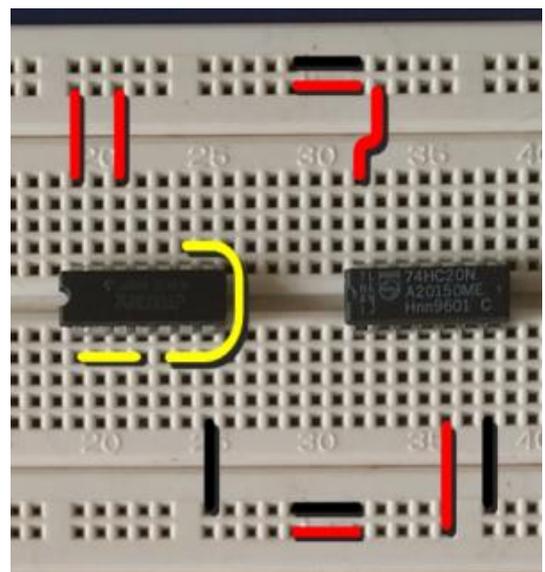
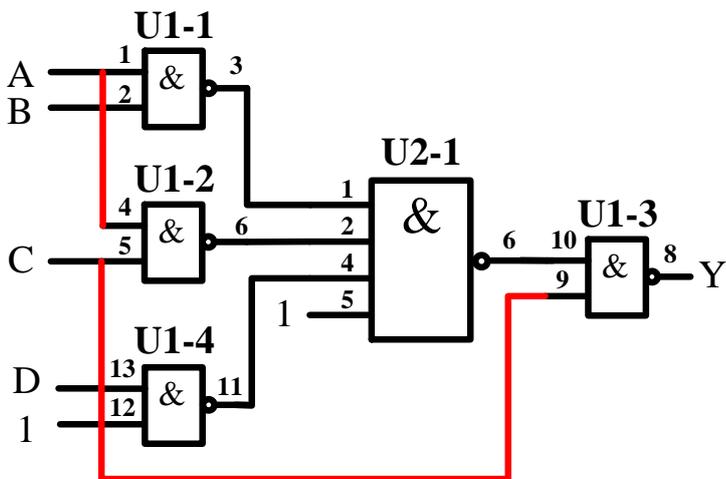
- 2) 布地线， 7400 和 7420 的地线脚都是 7 脚，因此用导线将 7 脚和电源地连接起来，布完地线的面包板，如下图所示



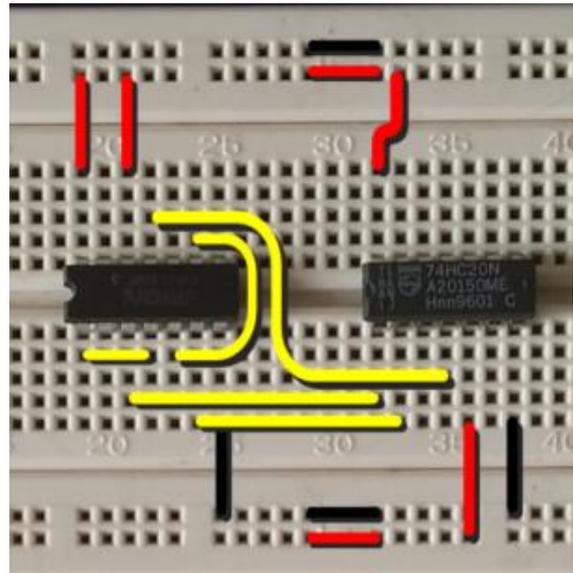
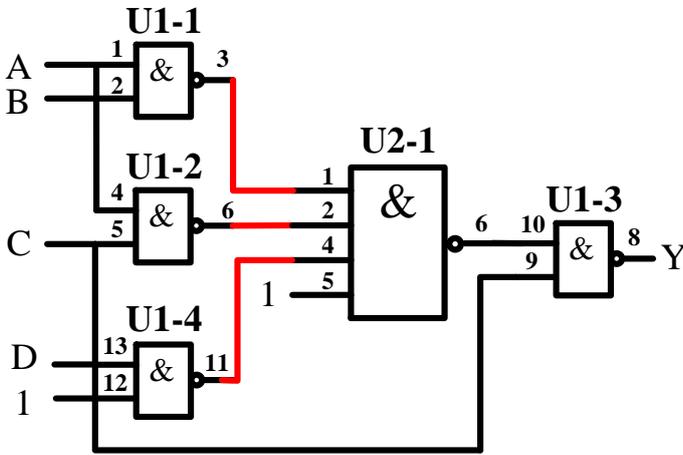
3) 布固定电平线，有两个固定电平管脚，分别为 U1 的 12 脚和 U2 的 5 脚，要求强行置“1”，连接完的面板板，如下图所示



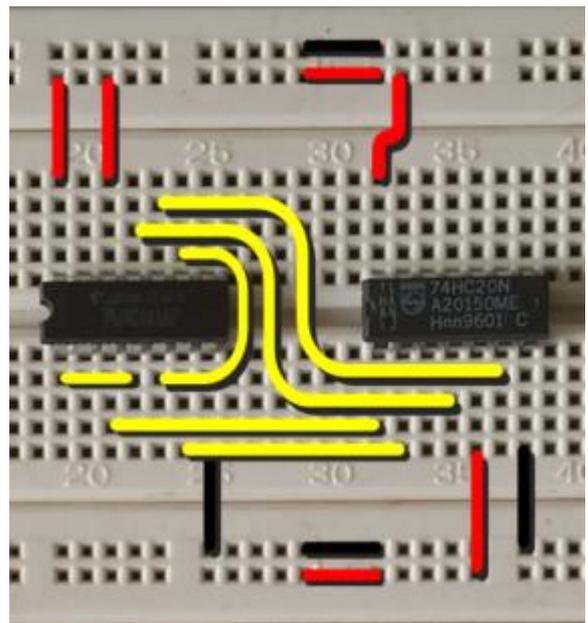
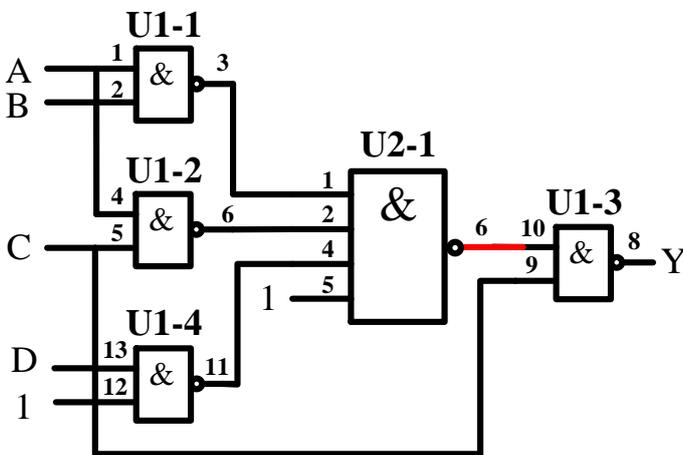
4) 布信号线，按信号流向布线，先布最左侧的线，如下图所示



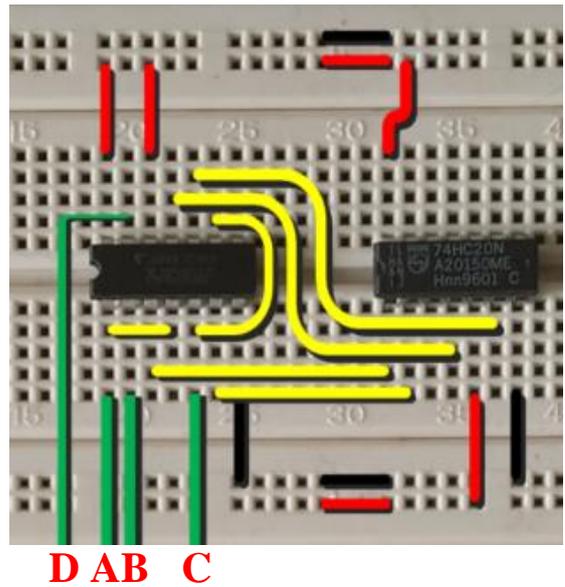
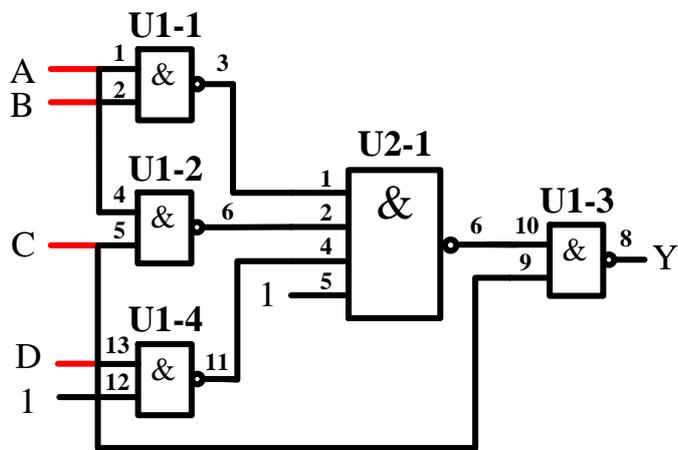
5) 再布中间的线，如下图所示



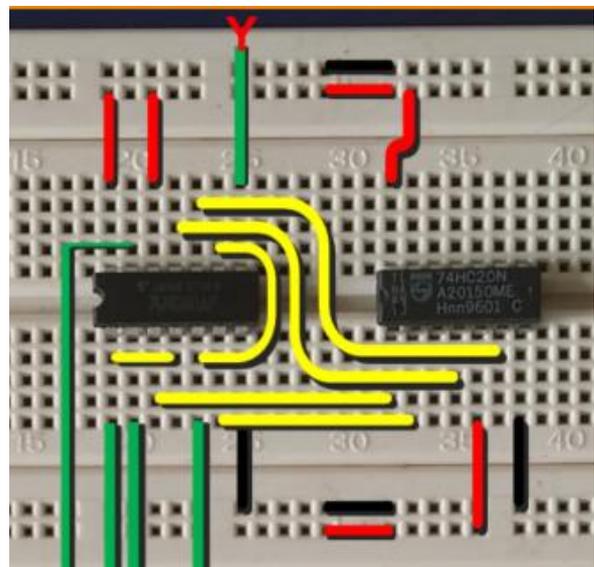
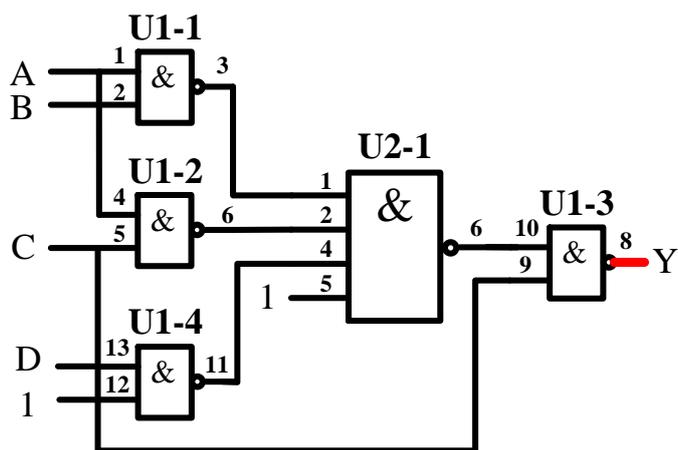
6) 最后布最右侧的线，如下图所示



7) 连接外设，先连接 A、B、C、D 四个输入信号，用一头直一头弯的丁字线，将实验箱上的逻辑电平开关和对应管脚相连，如下图所示



8) 连接输出信号 Y，用一头直一头弯的丁字线，将实验箱上的发光二极管和对应管脚相连，如下图所示



## 七、 通电前检查

在通电验证前，必须仔细检查，主要包括

- 集成芯片是否选择正确，方向是否插对，引脚有无折弯、互碰情况
- 集成电路多余输入端处理是否正确，是否有两个以上输出端错误地连在一起
- 布线是否合理，是否有相碰短路现象
- 电源线与地线在内的连线是否有漏线与错线
- 用万用表的“欧姆×10”挡，测量实验电路的电源端与地线端之间的电阻值，排除电源与地线的短路现象
- 用万用表的“直流电压挡”测量直流稳压电源输出电压是否为所需值

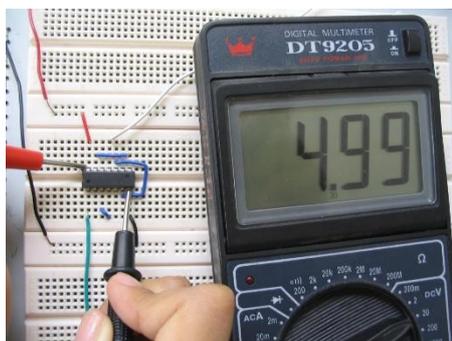
## 八、 通电验证

接通电源，根据真值表，按顺序，拨动逻辑电平开关，改变输入值从“0000”到“1111”，观察输出 LED 指示，LED 灭则输出“0”，LED 亮则输出“1”。记录测试结果

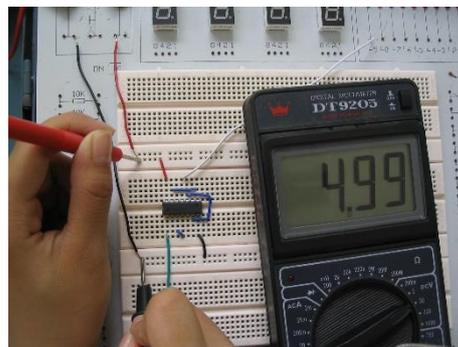
## 九、 故障调试

如果测试该电路时，某种输入下的输出与理论分析有悖，则要排除故障。

排除故障的第一步是要确定**集成电路上所加的电源电压是否正确**，可以用万用表的直流电压档测量。可靠的检查方法是如图（a）那样，用万用表的测试表笔直接测量集成芯片电源端和地线两引脚之间的电压。这种方法可以检查出断线、引线虚接、因芯片管脚折断或折弯而未能插入实验底板的情况。图（b）中的测量方法，虽然能判断出电源是否已经接到面包板的窄条上，但如果从窄条接到集成电路管脚的连线有问题或者集成电路没有插好，集成电路还是不能正常工作。

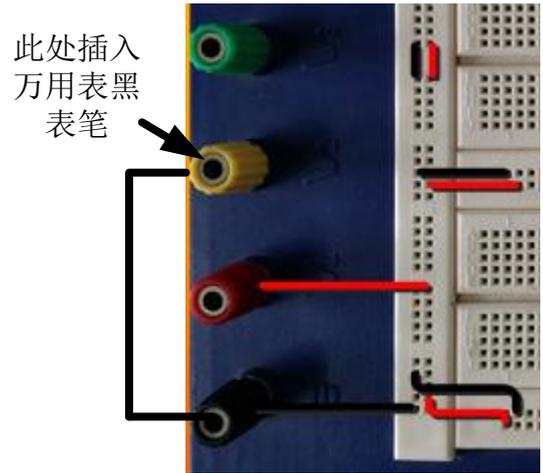


(a) 正确的电源测量方法



(b) 错误的电源测量方法

对于组合电路，可根据逻辑表达式或真值表由前向后逐级检查。但更快的检查方法，应该是由后向前逐级检查。测试方法是用万用表测量每个节点的电压。测量的时候一定要注意尽量**直接测量集成电路的管脚上的电压**，理由和前面测电源电压一样。



为了方便调试节点电压，我们需要对面包板上的连线做一个小的调整，用单股导线将黑色接线柱和绿色或黄色接线柱连接起来，如右图所示。这样在用万用测量节点电压的时候，可以空出一只手出来。

举例：

### 故障现象

输入逻辑开关“ABCD”置在“0011”状态，根据真值表，输出应为“0”，即逻辑电平指示灯应该灭，实际输出逻辑电平指示灯是亮，即输出为“1”，电路存在故障。

### 排除故障

用万用表从后向前测各点的电平并与理论值比较

#### 1) 测量最后一级 2 输入与非门

(U1-3)

理论分析：

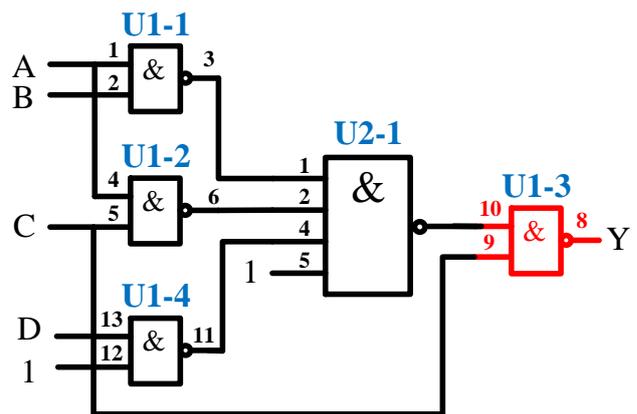
- 输出 U1-3 8 脚应为“0”
- 输入 U1-3 的 9、10 脚应为“1”

万用表实测

- U1-9 脚对地电压，约为 5V，等效逻辑“1”，信号正确
- U1-10 脚对地电压，约为 0V，等效逻辑“0”，信号错误

结论

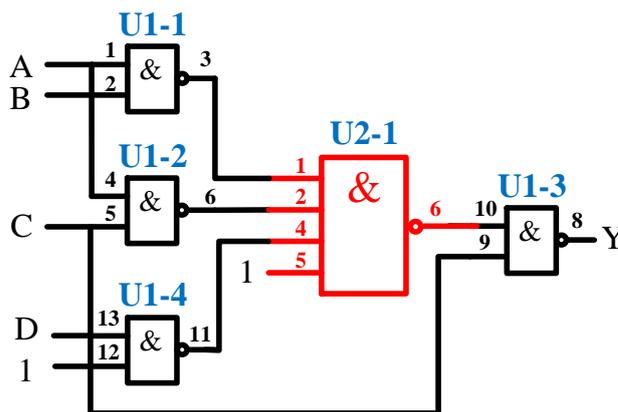
- 因为 U1-10 脚连接到 4 输入与非门输出（U2-1 6 脚），排查 U2-1



## 2) 排查 4 输入与非门 U2-1

### 理论分析

- 如 U2 6 脚为“1”，则 U2-6 脚和 U1-10 之间的连线有问题
- 如 U2 6 脚为“0”，则需检查 U2-1 的 4 个输入信号
- 根据原理图，U2-1、2、5 脚应为都“1”，4 脚应为“0”



### 万用表实测

- U2-1、2、5 脚对地电压，约为 5V，等效逻辑“1”，信号正常
- U2-4 脚对地电压，约为 0~1V，等效逻辑“X”，信号错误

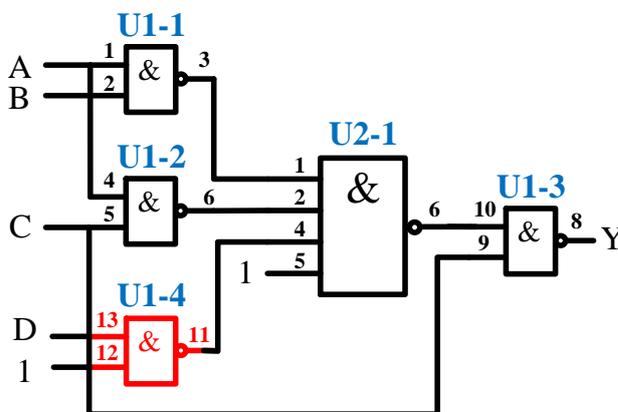
### 结论

因为 U2-4 脚信号连接到 2 输入与非门输出(U1-4 11 脚)，需排查 U1-4

## 3) 排查 2 输入与非门 U1-4

### 理论分析

- 如 U1-11 脚为“0”，则 U1-11 脚和 U2-4 脚之间的连线有问题
- 如 U1-11 脚为“1”，则需检查 U1-4 的 2 个输入信号



### 万用表实测

- U1-11 脚对地电压，约为 0V，等效逻辑“0”，信号正常

### 结论

- U1-11 脚和 U2-4 脚之间的连线有问题

# 第五部分 实验内容

## 实验一、 组合逻辑电路

### 1. 学习目标:

- ① 认识数字集成电路，能识别各种类型的数字器件和封装
- ② 掌握小规模组合逻辑和逻辑函数的工程设计方法
- ③ 掌握常用中规模组合逻辑器件的功能和使用方法
- ④ 学习查找器件资料，通过器件手册了解器件
- ⑤ 了解面包板的基本结构、掌握面包板连接电路的基本方法和要求
- ⑥ 了解实验箱的基本结构，掌握实验箱电源、逻辑开关和 LED 电平指示的用法
- ⑦ 学习基本的数字电路的故障检查和排除方法
- ⑧ 学习 Multisim 逻辑化简操作和使用方法
- ⑨ 学习 Vivado 软件操作和使用方法

### 2. 时间要求:

实验时间：第 5 周、第 6 周

报告提交：第 7 周周一前

### 3. 预备知识:

实验教材:

1.1 节、1.6 节、1.7 节、1.8 节、2.2 节、2.8 节、2.10 节、3.1 节、3.2 节、3.3 节

参考资料 (qq 群):

“如何读懂数字逻辑器件数据手册” (pdf 文档)

“Multisim 入门手册” (pdf 文档)

“利用 Multisim 实现自动逻辑化简” (pdf 文档)

“EPI-EWB204 使用说明书” (pdf 文档)

“VIVADO FPGA 使用说明书” (pdf 文档)

“EGO-Mini 用户手册” (pdf 文档)

“实验报告系统学生快速使用手册” (pdf 文档)

“VIVADO ” (设计软件)

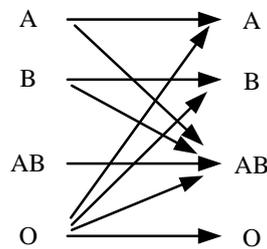
#### 4. 实验内容 (理论课布置):

##### ① 数值判别电路

a) 设计一个组合逻辑电路, 它接收一位 8421BCD 码  $B_3B_2B_1B_0$ , 仅当  $2 < B_3B_2B_1B_0 < 7$  时输出 Y 才为 1

b) 设计一个组合逻辑电路, 它接收 4 位 2 进制数  $B_3B_2B_1B_0$ , 仅当  $2 < B_3B_2B_1B_0 < 7$  时输出 Y 才为 1

② 人类有四种血型: A、B、AB 和 O 型。输血时, 输血者与受血者必须符合下图的规定, 否则有生命危险, 利用数据选择器和最少数量的与非门, 完成血型配对任务。(设计方案可参看数字逻辑电路实践教材 Page 86)



③ 设有三台用电设备 A、B、C 和两台发电机组 X、Y。X 机组功率为 10kW, Y 机组功率为 20kW。用电设备 A 用电量为 15kW, 设备 B 用电量为 10kW, 设备 C 用电量为 5kW, 三台用电设备有时同时工作, 有时只有其中部分设备工作, 甚至均不工作。试用 3-8 译码器设计一个供电控制电路控制发电机组, 以达到节电的目的。(设计方案可参看数字逻辑电路实践教材 Page 83)

④ 设计一个保险箱的数字密码锁, 该锁有 4 位密码输入端 ( $A_0, A_1, A_2, A_3$ ) 和一个开箱钥匙信号输入端 (E)。当用钥匙开箱时 ( $E=1$ ), 如果输入密码 = “1011”, 保险箱被打开 ( $Z_1=1$ ); 如果不符, 电路将发生报警信号 ( $Z_2=1$ )。要求使用最少数量的与非门实现电路, 检测并记录实验结果。

## 5. 预习项目

- ① 根据发的“课程准备事项要求”，完成单股线的准备和面包板常用连接线的安装；
- ② 完成所有必做实验的设计，并将设计方案、原理图、硬件连接示意图写在预习实验报告中。  
参考“数字逻辑设计实践预习报告样例”（pdf 文档）；
- ③ 课前完成实验内容的搭试。

## 实验二、 FPGA 组合逻辑设计

### 1. 学习目标:

- ① 了解 TTL 和 CMOS 器件的静态特性和动态特性测量方法及这些特性对设计的影响
- ② 掌握通过数字器件手册查看器件静态和动态特性参数
- ③ 了解可编程数字系统设计的流程
- ④ 掌握 VIVADO 软件的使用方法

### 2. 时间要求:

实验时间: 第 7 周、第 8 周

报告提交: 第 9 周周一前

### 3. 预备知识:

实验教材:

1.2 节、2.1 节、2.2 节、2.4 节、2.5 节、2.6 节、2.7 节、2.9 节、第 7 章

参考资料 (中心网站提供下载):

“VIVADO 软件使用简介” (pdf 文档)

“VIVADO 14.1” (设计软件)

### 4. 演示实验

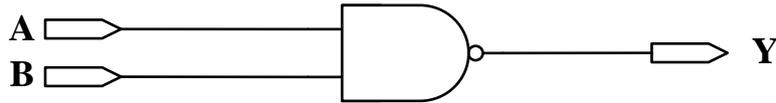
- ① 2.5 节内容 3, 采用示波器 X-Y 方式测量并比较 74LS04 和 74HC04 两种器件的电压传输特性  $V_o = f(V_i)$
- ② 2.5 节内容 4, 用 74LS04 和 74HC04 门电路驱动能力
- ③ 2.5 节内容 5, 观察叠加交流噪声信号的影响 (74LS04)
- ④ 2.7 节内容 1, 用环形振荡器测量 74LS04、74HC04 的传输延时时间

⑤ 2.7 节内容 2，在 74LS04 传输延时测量电路中加入长导线，观察延时造成的振荡周期变化

## 5. 必做实验:

① 在 VIVADO 中用原理图输入方法，用一个 4 选 1 数据选择器实现如下逻辑函数:

$$Y(DCBA) = \sum m(0,1,2,5,8,10,12,13)$$



② 在 VIVADO 中用原理图输入方法，实现上图所示与非门，并利用 VIVADO 的软件仿真功能完成以下实验

- a) 输入 A 为 10ns 的时钟信号，输入 B = ‘1’，查看器件数据手册，在 I/O Bank1 中选择 3 个器件管脚分别分配给 A、B、Y。观察并记录功能仿真和时序仿真下 Y 的输出波形，并对结果进行分析
- b) 查看器件数据手册，在 I/O Bank1 中选择 2 个器件管脚分别分配给 A、B，I/O Bank2 中选择 1 个器件管脚分配给 Y，重复 a 的实验内容中的时序仿真部分。
- c) 输入 A、B 都为 10ns 的时钟信号，但 B 比 A 延迟 5ns，查看器件数据手册，在 I/O Bank1 中选择 3 个器件管脚分别分配给 A、B、Y。观察并记录功能仿真和时序仿真下 Y 的输出波形，并对结果进行分析
- d) 查看器件数据手册，在 I/O Bank1 选择 1 个器件管脚分配给 A、I/O Bank3 选择 1 个器件管脚分配给 B，I/O Bank2 选择 1 个器件管脚分配给 Y。重复 c 实验内容中的时序仿真部分。

③ 查询有感无刷电机控制相关资料，了解无刷电机换相原理，按照下表实现有感无刷电机的换相功能（“000”和“111”时全部关闭）。在 FPGA 中用中规模组合电路和门电路设计实现该功能，并下载到器件进行静态验证。

转向	霍尔 1	霍尔 2	霍尔 3	A+	A-	B+	B-	C+	C-
正转	1	0	1	关闭	开通	关闭	关闭	开通	关闭
	0	0	1	关闭	开通	开通	关闭	关闭	关闭

	0	1	1	关闭	关闭	开通	关闭	关闭	开通
	0	1	0	开通	关闭	关闭	关闭	关闭	开通
	1	1	0	开通	关闭	关闭	开通	关闭	关闭
	1	0	0	关闭	关闭	关闭	开通	开通	关闭
<b>转向</b>	<b>霍尔 1</b>	<b>霍尔 2</b>	<b>霍尔 3</b>	<b>A+</b>	<b>A-</b>	<b>B+</b>	<b>B-</b>	<b>C+</b>	<b>C-</b>
<b>反转</b>	1	0	1	关闭	关闭	开通	关闭	关闭	开通
	0	0	1	开通	关闭	关闭	关闭	关闭	开通
	0	1	1	开通	关闭	关闭	开通	关闭	关闭
	0	1	0	关闭	关闭	关闭	开通	开通	关闭
	1	1	0	关闭	开通	关闭	关闭	开通	关闭
	1	0	0	关闭	开通	开通	关闭	关闭	关闭

④ 用 FPGA 片内的 ROM 单元设计一个 8421BCD 码七段显示译码电路，其真值表如下表所示，完成并测试其功能。

A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	dot	a	b	c	d	e	f	g	HEX
0	0	0	0	0	0	0	0	0	0	0	1	01
0	0	0	1	0	1	0	0	1	1	1	1	4F
0	0	1	0	0	0	0	1	0	0	1	0	12
0	0	1	1	0	0	0	0	0	1	1	0	06
0	1	0	0	0	1	0	0	1	1	0	0	4C
0	1	0	1	0	0	1	0	0	1	0	0	24
0	1	1	0	0	0	1	0	0	0	0	0	20
0	1	1	1	0	0	0	0	1	1	1	1	0F
1	0	0	0	0	0	0	0	0	0	0	0	00
1	0	0	1	0	0	0	0	0	1	0	0	04

## 6. 预习项目

- ① 所有必做实验的设计方案和原理图
- ② 参考“VIVADO 使用简介”，在课前用 VIVADO 的原理图输入法完成必做内容 1 的原理图绘制，并将设计文件拷贝带至实验室，上课前交由指导教师检查。

## 实验三、 时序逻辑电路

### 1. 学习目标:

- ① 掌握时序逻辑电路的一般设计过程
- ② 掌握时序逻辑电路的时延分析方法，了解时序电路对时钟信号相关参数的基本要求
- ③ 掌握时序逻辑电路的基本调试方法
- ④ 熟练使用示波器和逻辑分析仪观察波形图

### 2. 时间要求:

实验时间：第 9 周、第 10 周

报告提交：第 11 周周一前

### 3. 预备知识:

实验教材：第 4 章

### 4. 必做实验（理论课布置）:

#### ① 广告流水灯

用触发器、组合函数器件和门电路设计一个广告流水灯，该流水灯由 8 个 LED 组成，工作时始终为 1 暗 7 亮，且这一个暗灯循环右移。

- (1) 写出设计过程，画出设计的逻辑电路图，按图搭接电路
- (2) 将单脉冲加到系统时钟端，静态验证实验电路
- (3) 将 TTL 连续脉冲信号加到系统时钟端，用示波器观察并记录时钟脉冲 CP、触发器的输出端 Q2、Q1、Q0 和 8 个 LED 上的波形。

#### ② 序列发生器

用 MSI 计数器和移位寄存器设计一个具有自启动功能的 01011 序列信号发生器，

- (1) 写出设计过程，画出电路逻辑图
- (2) 搭接电路，并用单脉冲静态验证实验结果
- (3) 加入 TTL 连续脉冲，用示波器观察观察并记录时钟脉冲 CLK、序列输出端的波形。

### ③ 可调速的广告流水灯

在内容 1 广告流水灯的基础上设计一个速度控制器，实现广告流水灯的循环速度的变化，具体功能如下

- 1、速度分 4 档，电平开关 A 决定加档还是减档，当 A 置‘1’时，每按一次单步脉冲按钮 B 加一档，当 A 置‘0’时，每按一次单步脉冲按钮 B 减一档，档位值用一个数码管显示。
- 2、如果速度加到了最高挡，再按单步脉冲按钮 B 无效。
- 3、如果速度减到了最低挡，再按单步脉冲按钮 B 无效。
- 4、用一个电平开关 C 实现循环方向的正反转控制。

## 5. 预习项目

- ① 广告流水灯和序列发生器的设计方案、原理图、硬件连接图
- ② 广告流水灯电路搭接
- ③ 可调速广告流水灯的设计方案、原理图、硬件连接图
- ④ 可调速广告流水灯电路搭接

## 实验四、 FPGA 时序逻辑设计

### 1. 学习目标

- ① 掌握 VIVADO 软件的使用方法
- ② 掌握原理图输入方式设计时序逻辑电路的方法和流程
- ③ 掌握各个小模块的设计，分频器，键盘，动态数码管显示等。

### 2. 时间要求：

实验时间：第 11 周、第 12 周、第 13 周

报告提交：第 14 周周一前

### 3. 预备知识：

实验教材：第 4 章、第 7 章

### 4. 必做实验：

- ① 分频器  
设计一个 1/1000 的分频器，输入 50MHz 方波（FPGA 实验板上的晶振为 50MHZ），输出 50KHz。
- ② 动态扫描数码管识别电路  
设计一个电路，使得数码管显示学号。
- ③ 行列式键盘识别电路  
设计一个电路，当按下 4×4 矩阵键盘中的任何一个键时，在数码管上显示相应的键值。  
(请注意，这里的每个实验，都是后续实验的一个子模块)。
- ④ 试设计一个 2 位密码锁电路，密码为“01、02……10”，用户在设置模式下，可以设置密码；用户在锁定模式下，可以输入密码解锁，解锁成功绿灯亮，不成功红灯亮。用户可以直接按下“E”键表示完成当前设定，输入时数字顺序是从左到右，例如，顺序输入 0、1 应该在显示器上显示“01”，表示密码被设定为“01”。如果输入正确，按下“E”键确认。

如果使用者输错了数值，可以按“C”键清除，恢复到初始显示状态。

### 实验要求

- ① 根据设计要求划分设计层次、单元模块和接口信号，在预习报告上记录设计过程，绘制系统框图并设计验证方案。
- ② 用原理图输入法设计所有单元模块并编译，分析编译时产生的错误和警告信息。
- ③ 对所有的单元模块进行功能仿真，并记录和分析全部仿真结果。
- ④ 在顶层文件中连接全部单元模块并编译、综合、分配管脚和适配。对整个系统进行时序仿真，并记录和分析仿真结果。
- ⑤ 将仿真正确的设计下载到实验箱上，连接输入输出设备和示波器进行板级验证。

### 5. 预习检查项目

- ① 系统设计过程、顶层模块框图、单元模块框图、模块电路原理图
- ② 第 11 周，根据指导教师指定的时间和地点，检查预习报告

## 实验五、 FPGA 系统设计

### 1. 学习目标

- ① 综合前面所学的各项内容
- ② 掌握可编程数字系统设计的流程
- ③ 熟练使用 VIVADO 软件
- ④ 掌握原理图输入方式设计数字系统的方法和流程

### 2. 时间要求:

实验时间: 第 14 周、第 15 周

报告提交: 第 16 周周一前

### 3. 预备知识:

实验教材: 第 6 章、第 7 章

### 4. 必做实验——健身自行车控制器:

#### 基础部分 (70%)

设计一个健身房使用的健身自行车控制器。它包含二种工作模式:“手动”、“计时”。控制器的输出信号给一个 8 位 D/A 转换器,以控制自行车的阻力(改变训练强度),“0x00”为无阻力,“0xFF”为最大阻力。6 位数码管的高 2 位显示阻力值,低四位显示时间。

- ① 当使用者刚骑上自行车时,控制器处于初始状态。按“F”键启动控制器。
- ② 使用者从键盘输入 1 或 2 以选择“手动”、“计时”模式,按“E”键确认。
- ③ 如果使用者输入“1”(手动模式),显示器显示“9”,用户可以输入从 0 到 9 中的任意数字,以改变训练强度,按“E”键确认。训练强度选择完成之后,按下“F”按钮开始训练。此时显示器在高 2 位显示阻力值。

- ④ 如果使用者输入“2”（计时模式），控制器将提示用户输入从 0 到 9 中的任意数字，以选择需要的训练强度，按“E”键确认。训练强度选择完成之后，显示器显示“00: 00”。通过数字键盘输入数字，以决定训练的时间，输入时数字顺序是从左到右。例如，输入 1、0、2、3 应该在显示器上显示“10: 23”，表示训练时间被设定为 10 分 23 秒，如果输入正确，按下“E”键确认。如果使用者输错了时间，可以按“C”清除，显示恢复 00 的状态。训练时间输入完成后，按下“开始”开始训练。此时 6 位数码管的高 2 位显示阻力值，低四位倒计时显示时间一直到“00:00”。在最后 3 秒时，蜂鸣器响 3 下，规律为响半秒停半秒。当计时到 00:00 时，控制器恢复到初始状态，此时定时器是“00:00”，阻力为前面设定的值。

### 提高部分（30%）

- ① 每次按下正确的按键，LED 亮一下，这可以提示使用者按钮是否成功按下。
- ② 在计时模式下，如果输入的时间大于“60: 00”或小于“01: 00”，在按下“E”键确认后，显示器显示 EE，同时 LED 亮 1 秒，然后显示返回 00 的状态。（10%）
- ③ 增加动态调整训练强度功能，在训练过程中按“上”或“下”按钮，实时增加或减少训练强度。（10%）
- ④ 计时模式提供预设模式功能，可存储 10 种训练模式(训练强度和训练时间预先设定好)，设定过程如下：（10%）
- 1) 在基本功能 2 中，输入 A，选择“自定义”模式，显示“0”，直接按下“E”键，表示选择“0”号预置训练模式，此时显示该模式的训练强度和训练时间。也可用键盘输入“0”到“9”中的任何数字选择相应预置训练模式，按“E”确认，此时显示该模式的训练强度和训练时间。选择完成后按“开始”按钮开始训练。
  - 2) 在基本功能 2 中，输入 B，选择“自定义”模式，显示“0”，用键盘输入“0”到“9”中的任何数字选择要设置的预置训练模式，按下“预设”按钮，显示该模式原来预置的训练强度值，参考基本功能 3，重设预置训练强度，按“E”确认，显示器显示该模式原来预置的训练时间值，参考基本功能 3，重设训练时间，按下“E”键确认，再按下“预设”按钮存储预设值，回到基本功能初始状态。

## 5. 实验要求:

- ① 根据设计要求划分设计层次、单元模块和接口信号，在预习报告上记录设计过程，绘制系统框图并设计验证方案。
- ② 用原理图输入法设计所有单元模块并编译，分析编译时产生的错误和警告信息
- ③ 对所有的单元模块进行功能仿真，并记录和分析全部仿真结果
- ④ 在顶层文件中连接全部单元模块并编译、综合、分配管脚和适配。对整个系统进行时序仿真，并记录和分析仿真结果。
- ⑤ 将仿真正确的设计下载到实验箱上，连接输入输出设备和示波器进行板级验证。

## 6. 预习检查项目

- ① 系统设计过程、顶层模块框图、单元模块框图、模块电路原理图
- ② 第 14 周，根据指导教师指定的时间和地点，检查预习报告